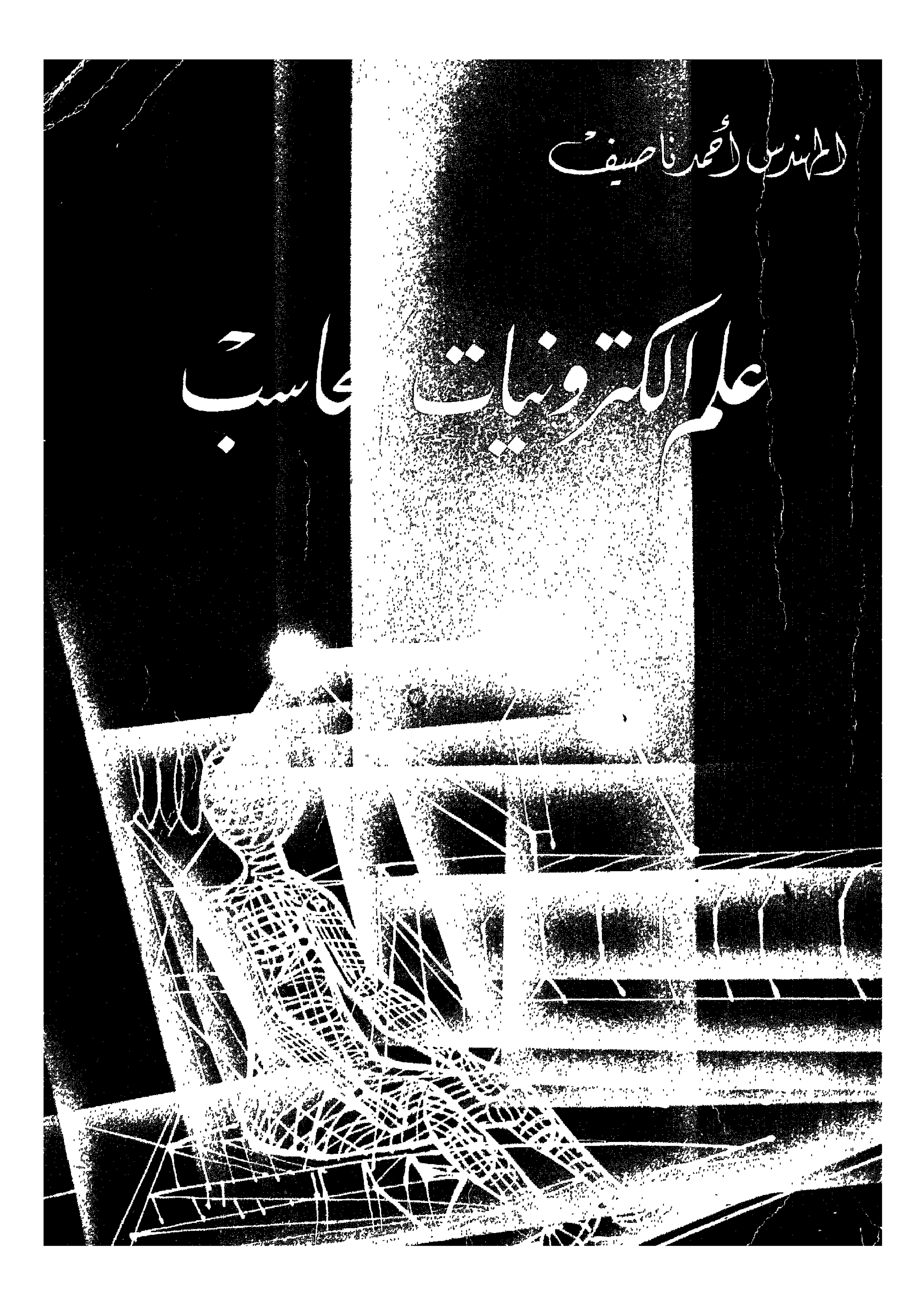

المهندس أحمد ناصيف
علم الكترونيات
حاسب


Converted by Tiff Combine - (no stamps are applied by registered version)

علم الكترونيّات الحاسب

المهندس أحمد ناصيف



الطبعة الأولى

١٤١١هـ ـ ١٩٩٠م

دمشق ـــ سوريا ـــ الحلبوني ـــ مدخل فندق الشموع
تلفون : ٢٢٣٨١١ ـــ ص . ب : ١٣٣٤٤ ـــ تلكس : ٤١١٥٤١

مجمل الفصول :

الفصل ١ : يقدم هذا الفصل إلى القارىء فكرة عن تصميم الجهاز . وهو يشمل النظام الثنائي والستة عشري والجبر البولي وجداول الحقيقة . هناك مثال عن الجبر البولي فيما يتعلق بمشكلة إحصائية .

الفصل ٢ : يوضح هذا الفصل مجموعات التركيب الأساسية للجهاز (NAND, NOR, AND, OR, NOT, XOR) . هذا المثال من الفصل ١ موضوع بشكل منطقي باستخدام هذه البوابات .

الفصل ٣ : يوضح هذا الفصل ما يلزم من أدوات ومعدات للمهندس المختص بمجال مكونات الجهاز . وقد تم تدعيم الإيضاحات بالصور . ويتضح لنا أيضاً مصادر الأدوات والمكونات مع العناوين . ويوجد أيضاً شرح بسيط عن كيفية اللحام . المثال من الفصلين الأول والثاني مكون باستخدام 74LS series TTL ومن الأمور الموضحة أيضاً مسألة لف الأسلاك .

الفصل ٤ : يتضمن هذا الفصل الدارات المنطقية المتعاقبة (ثنائي الاستقرار J — K وثنائي الاستقرار 'D ، والمسجلات الناقلة والعدادات) . عند كل مرحلة يتم تقديم بعض التمارين العملية لإكساب القارىء الثقة بأنه يتعلم . يوضح هذا الفصل أيضاً بعد القواعد التصميمية العملية الهامة .

الفصل ٥ : يشرح هذا الفصل الترانزيستورات والمقاومات والمكثفات والديودات والبلورات والذارات الإلكترونية ... إلخ . وإن الإيضاحات موجهة نحو الطريقة التي يتم بها إستخدام المكونات بتصميم رقمي (كما على سبيل المثال في تصميم دارة الساعة) .

الفصل ٦ : هذا الفصل يقدم للقارىء معلومات وصفحات كتب . فهو يتحدث عن الأنواع المختلفة (TTL, LS, S, AS ... إلخ) ويستعرض كافة الفئات التي توجد في صفحات المعلومات ، مع توضيح المعلومات المفيدة وما يمكن تجاهله بالنسبة

للتطبيقات الصعبة .

الفصل ٧ : يقدم هذا الفصل مخططات توقيت مع توضيح أهميتها وفائدتها . ويشتمل الفصل أيضاً على أمثلة عن الدارات والتوقيت المرتبط بها وذلك للمساعدة على الفهم .

الفصل ٨ : يشتمل هذا الفصل على الجامعات التامة ومولدات النقل و ALU ووحدات معالجة الأرقام . ويتضمن الفصل أيضاً بعض التمارين العملية التي توضح كيفية عمل الدارات التكاملية للقارىء .

الفصل ٩ : يوضح هذا الفصل كيفية عمل وحدة المعالجة المصغرة . ويركز على Z80 مع تقديم برمجة لغات التجميع . بعد قراءة هذا الفصل ، يجب أن يكون القارىء واثقاً من نفسه إلى حد كاف على القدرة على إستخدام وحدة المعالجة المصغرة .

الفصل ١٠ : يبحث هذا الفصل في موضوع الذاكرات RAM, RAM, PROM الديناميكية والأقراص العريضة والأقراص الصلبة ، إلخ ... الشروحات كافية إلى حد يمكن للقارىء أن يصمم باستخدام هذهالأجهزة .

الفصل ١١ : يقدم هذا الفصل إيضاحات موجزة عن الوسائل المساعدة لوحدات المعالجة المصغرة المصنوعة من قبل Intel وMotorola وZilog . ومن مواضيع البحث أيضاً التطبيقات الممكنة . المعلومات المقدمة ليست كافية للتصميم باستخدام هذه الوسائل ، ولكن ننصح القارىء بأن يشتري الكتب المختصة المتعلقة بهذا الموضوع .

الفصل ١٢ : يغطي هذا الفصل بعض أجهزة TTL المستخدمة على نطاق واسع بالتصميم والتي لم تتم مناقشتها بعد إن الأسباب الكافية من وراء هذا الفصل تنحصر بزيادة الحصيلة التصميمية للقارىء .

الفصل ١٣ : يقدم هذا الفصل دارات منطقية حول شريحة المعلومات ويصف بعض منتجات شرائح المعلومات AMD ويقدم أيضاً تصميم الدارات التكاملية ومجموعات البوابات (النصف مصنعة) والدارات التكاملية المصنعة بالكامل .

الفصل ١٤ : يصف هذا الفصل كيفية عمل مشروع ما ويوضح كيفية عمل CAD وكيفية تصنيع لوحات الدارات المطبوعة .

ملاحظة : من خلال الكتاب نجد أن قواعد أو مبادىء قد تم بحثها من جهة بروزها على شكل الاعتبارات العملية مثل المكثفات لتخفيض التقارن .

تمهيد

لقد تمت كتابة هذا الكتاب لثلاثة أغراض متميزة في الذهن :

١ — قد يتم استخدامه من قبل أناس يهتمون بالتعلم حول كيفية التصميم بإستخدام الإلكترونيات في الرقمية . وقد يكون لدى هؤلاء الناس ، وقد لا تكون لديهم أي معرفة عن الإلكترونيات أو الحواسب .

٢ — وقد يتم استخدامه من قبل أناس حديثي عهد بموضوع التصميم حيث أنهم قد أتوا من المدارس أو الجامعات مباشرة . هؤلاء الناس ستكون لديهم معرفة نظرية جيدة في بعض المجالات . ولكن ليس بالضرورة أن تكون لديهم المعرفة العملية .

٣ — ويمكن أن يستخدم هذا الكتاب من قبل أناس يتعاملون مع موضوع التصميم كما يتعاملون مع كتاب مرجعي .

سوف يأخذ هذا الكتاب القارىء من أساسيات تصميم الجهاز إلى الأشياء المعقدة الخاصة بتصميم جهاز المايكروكومبيوتر (الكومبيوتر الشخصي) . يشتمل هذا الكتاب على التغطية في المجالات النظرية والعملية فيما يتعلق بموضوع تصميم المكون الصلب .

المهندس
أحمد ناصيف

الفصل ١

المبادىء الأساسية لتصميم الجهاز

١ ـ ١ ـ ما هو تصميم الجهاز ؟

يتعلق تصميم الجهاز ببناء أو تركيب الدارات الكهربائية التي تؤدي مهاماً مختلفة . وتتراوح هذه الدارات من الحواسب الآلية إلى أجهزة تسجيل أشرطة الفيديو .

إن الطريقة التي يتم بها تركيب أو صنع هذه الدارات تتجلى في وصل دارات أخرى أكثر بساطة مع بعضها . وإن الأسلوب الذي يتم به صنع هذه الدارات البسيطة ليس له صلة بالموضوع الذي يهتم به مصمم الجهاز وإنما كل ما يهمه هو وظيفة الدارة (أي ما الذي يحدث عند المخارج عندما يتم تغيير المعلومات الداخلة) . وبهذا المعنى تكون الدارة عبارة عن مجرد علبة سوداء تحتوي على تعليمات توضح استخدامها .

وبناءً على ذلك فإن تصميم الجهاز يتكون من توصيل علب سوداء مع بعضها بشكل معين لاداء مهمة أو عمل محدد . وقد تكون هذه العلب السوداء أي شيء بدءً من المقاومات والترانزيستورات ، إلخ ، من جهة معينة وحتى الحاسب الآلي IMB 370 من الناحية الأخرى . إن المفتاح المؤدي إلى تصميم الجهاز له ثلاثة أعراض :

١ ـ الحاجة إلى معرفة المهمة الدقيقة للعلبة السوداء .

٢ ـ الحاجة إلى معرفة القواعد الخاصة بتوصيل هذه العلبة مع العلب السوداء الأخرى .

٣ ــ الحاجة إلى تنفيذ ما يجب أن يؤديه الغرض من التصميم بشكل دقيق (المستلزمات الوظيفية) .

إن هذه الأمور الثلاثة تنطبق على العديد من المجالات الأخرى غير تصميم الجهاز . إذا أردت على سبيل المثال أن تشعل ثماني لمبات لمدة ساعتين ونصف فإنه يمكنك أن تقوم بذلك باتباع الطريقة التالية :

العلبة السوداء ١ : لمبة مصباح .
العلبة السوداء ٢ : بطارية .

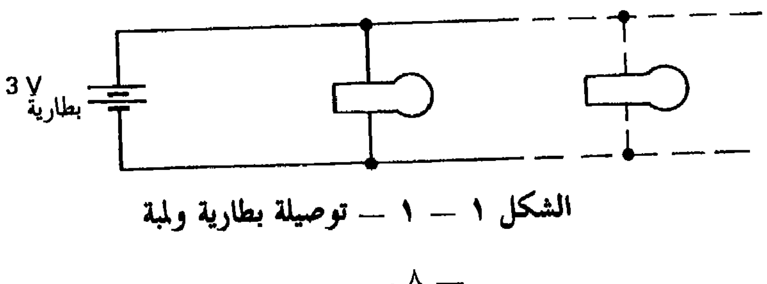
وظيفة كل علب من العلب السوداء :

سوف تضيء لمبة المصباح في حال وجود جهد بقيمة ٣ فولط بين مدخليها . وسوف تعطي البطارية جهداً بقيمة ٣ فولط في حال كونها مشحونة بشكل كاف .

قواعد التوصيل المشترك :

القاعدة ١ : سوف تعطي البطارية جهداً بقيمة ٣ فولط لمدة ثماني ساعات في حال توصيلها بلمبة مصباح ، ولمدة أربع ساعات عند توصيلها بلمبتين ولمدة ساعتين ونصف عند توصيلها بثلاث لمبات ... إلخ .

القاعدة ٢ : في حال توصيل أكثر من لمبة واحدة إلى البطارية فإنها يجب أن يتم توصيلها كما هو مبين في الشكل ١ ــ ١ .

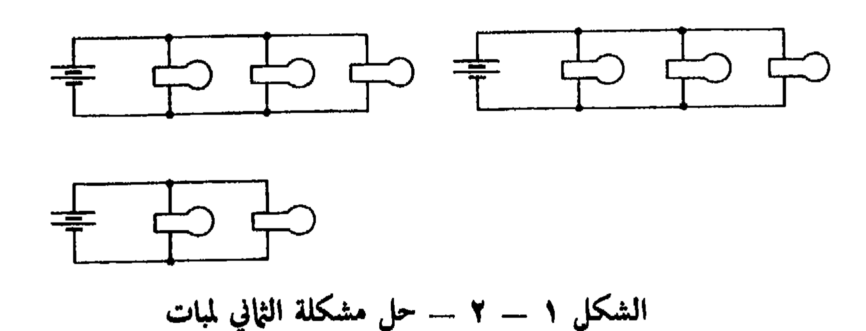


الشكل ١ ــ ١ ــ توصيلة بطارية ولمبة

المستلزمات الوظيفية :

تكمن المشكلة في إضاءة ثماني لمبات لمدة ساعتين ونصف باستخدام أقل عدد ممكن من البطاريات .

الحل : يكمن الحل في توصيل ثلاث لمبات مع كل بطارية مما سينتج عنه الشكل التالي المبين في الشكل ١ — ٢ .



الشكل ١ — ٢ — حل مشكلة الثماني لمبات

إن هذا المثال بسيط جداً إلا أنه يشرح الفكرة الأساسية لتصميم المكون الصلب .

١ — ٢ — *أنظمة الترقيم*

إننا نستخدم النظام العشري أو نظام العشرة الأساسي . وهو يتكون من الأرقام صفر إلى ٩ ، أي عشرة أرقام مختلفة . إن السبب الكامن من وراء إستخدام النظام العشري هو أننا لدى كل منا عشرة أصابع . توجد أنظمة ترقيم أخرى ممكنة . إذا كان لدينا سبعة أصابع فقط فإننا يمكن أن نستخدم العد على الشكل التالي :

0	.
1	.
2	.
3	65
4	66
5	100
6	.
10	.
11	

إن علم الرياضيات في مجمله يعتمد على نظام ترقيم يتميز بعشر حالات واضحة . بينما لو كان عدد الأصابع لدينا سبعة فإن علم الرياضيات سيكون معتمداً على سبع حالات .

إن بلوكات البناء الأساسية في التصميم العددي لها حالتان فقط : الوصل والفصل (Off, On) . ولهذا السبب اقتضت الحاجة وجود نظام جديد للترقيم من أجل الإلكترونيات العددية — وهو النظام الثنائي أو نظام الـ اثنان (C) .

الجدول ١ — ١ عبارة عن جدول تحويل بين النظامين العشري والثنائي .

إن كل رقم في النظام الثنائي يسمى بـ Bit (رقم ثنائي) . ومن ثم فإن الرقم العشري ١٠ يطابق لـ ٤ أرقام ثنائية . وبدلاً من كتابة الرقم العشري (١٠) أو الثنائي (١٠ ١٠) للتمييز بين أنظمة الترقيم فإن هناك طرقاً أكثر ملاءمة للتمييز . منها أن يتم وضع الأساس على شكل رقم سفلي بعد الرقم . وهكذا فإن الرقم العشري ٢٤ يصبح ١٠ (٢٤) والرقم الثنائي ١١ ١٠ يصبح ٢ (١١ ١٠) . إلا أن هذه الطريقة غير عملية عند استخدام الحواسب لأنها لا يمكن أن تستخدم الأرقام السفلية عادة . إن الطريقة التي تستخدمها الحواسب للتمييز بين أنظمة الترقيم هي وضع حرف بعد الرقم الذي نحن بصدده . فالرقم العشري سيأتي بعده الحرف D والرقم الثنائي سيأتي بعده الحرف B .

الثنائي	العشري
0	0
1	1
10	2
11	3
100	4
101	5
110	6
111	7
1000	8
1001	9
1010	10
1011	11
	الخ

الجدول ١ — ١ — جدول تحويل بين النظامين العشري والثنائي

في بعض الأحيان لا يأتي بعد الأرقام العشرية أي حرف .

ومن ثم $12 = 12_{10} = 12D = 1100_2 = 1100B.$

وعند اختراع أجهزة الحاسب وجد بأنه من الملائم أن يتم تصنيف الأرقام الثنائية (bits) إلى مجموعات من ثمانية . وهذا يطلق عليه اسم البايت . وبالمثل فإن ٤ أرقام عشرية (4 bits) يطلق عليها اسم نيبل .

ومن الناحية التاريخية نجد أن الأجهزة المستخدمة لإدخال المعلومات وإخراجها من أجهزة الحاسب قد استخدمت النيبل . ومن ثم تم تطوير نظام ترقيم جديد — وهو النظام الست عشري أو نظام الـ ١٦ . يستخدم هذا النظام الأحرف الستة الأولى من الأبجدية بالإضافة إلى الأرقام العشرية . يتميز هذا النظام بأن المعلومات الثنائية يمكن عرضها بشكل أكثر قابلية للفهم والاستيعاب . الجدول ١ — ٢ عبارة عن جدول تحويل بين النظام العشري والثنائي والست عشري .

يتم تمثيل الأرقام الست عشرية بحرف H بعد الرقم أو في بعض الأحيان بالرمز # قبل الرقم .

يوضح الملحق A كيفية التحويل بين النظام العشري والثنائي والست عشري .

Decimal	*Binary*	*Hexadecimal*
0	0 0000	0
1	0 0001	1
2	0 0010	2
3	0 0011	3
4	0 0100	4
5	0 0101	5
6	0 0110	6
7	0 0111	7
8	0 1000	8
9	0 1001	9
10	0 1010	A
11	0 1011	B
12	0 1100	C
13	0 1101	D
14	0 1110	E
15	0 1111	F
16	1 0000	10
17	1 0001	11
18	1 0010	12
19	1 0011	13
20	1 0100	14

الجدول ١ ــ ٢ ــ جدول تحويل بين النظام العشري والثنائي والست عشري

١ ــ ٣ ــ الجبر الـ Boolean

الجبر البوليان (Boolean) عبارة عن مجموعة من القواعد المناسبة بشكل مثالي للدارات العددية . إن المبدأ الكامن خلف هذا النوع من الجبر هو أن الحل الخاص بمعادلاته إما أن يكون صحيحاً أو غير صحيح . فالرقم ١ يستخدم ليمثل حلاً صحيحاً والرقم صفر (٠) يستخدم ليمثل حلاً غير صحيح . يوضح الملحق B قواعد الجبرالبوليان ، وفيما يلي بعض القواعد البسيطة :

١ ــ إضافة OR . إذا كان الدخل A أو الدخل B قيمته ١ فإن الخرج تكون قيمته ١ .

a. $0 + 0 = 0$
b. $0 + 1 = 1$
c. $1 + 1 = 1$
d. $A + 1 = 1$ ($\overline{A}$ هي معكوس A أي أنـه إذا كانت $\overline{A}$ = ١ فـإن
e. $A + 0 = A$ A = صفـر والعكس بالعكس) .
f. $A + A = A$
g. $A + \overline{A} = 1$

ملاحظة : A + B يمكن أن تكتب على شكل $A \vee B$.

٢ — ضرب AND . إذا كان الدخل A والدخل B قيمتهما ١ فـإن الخرج قيمته ١ .

a. $0 \, . \, 0 = 0$
b. $0 \, . \, 1 = 0$
c. $1 \, . \, 1 = 1$
d. $A \, . \, 1 = A$
e. $A \, . \, 0 = 0$
f. $A \, . \, A = A$
g. $A \, . \, \overline{A} = 0$

ملاحظة : A.B يمكن أن تكتب إما AB أو $A \wedge B$.

٣ — عمل NOT . الخرج هو معكوس الدخل .

a. $\overline{0} = 1$
b. $\overline{1} = 0$

ملاحظة يمكن كتابة $\overline{A}$ على شكل A~.

كما سنشاهد في الفصل الثاني ، بأنه توجد دارات عددية تطابق للدالات NOT AND, OR . يمكن استخدام الجبر البولي لتنفيذ دارة ما بالطريقة الأكثر فعالية .

فيما يلي مثال عن إمكاينة استخدام الجبر البولي .

المثال : يوجد أربعة مساهمين في شركة المساهم A يمتلك نسبـة ٤٦ بالمائـة والمساهمون D, C, B يمتلك كل منهم نسبة ١٨ بالمائة . المشكلة تكمن في تصميم نظام يحصلوا بواسطته على اقتراعات سرية .

الحل : إن أول شيء يجب القيام به هو كتابة كافة الطرق الممكنة التي يمكن

أن يتم بها نقل الاقتراحات (مع افتراض أن الامتناع غير مسموح) .

١ — المساهم A وعلى الأقل مساهم آخر يصوتان بكلمة نعم .

٢ — المساهمون D, C, B جميعهم يصوتون بكلمة نعم .

هاتان الطريقتان يمكن كتابهما مرة أخرى بشكل بولي (Boolean) على النحو التالي :

١ — A. (B + C + D) A يصوت بكلمة نعم و (إما B أو C أو D يصوت بكلمة نعم) .

٢ — A. C. D. B يصوت بكلمة نعم وC يصوت بكلمة نعـم وD يصوت بكلمة نعم .

إذن التعبير البولي للاقتراح المراد نقله يمكن كتابته على النحو التالي :

$$A(B+C+D)+BCD.$$

تنفيذ هذه الدارة نجده مبيناً في الفصل ٢ .

١ — ٤ — جداول الحقيقة *TRUTH TABLES*

إن جدول الحقيقة هو عبارة عن مجموع كافة المداخل الممكنة وتأثيرها على مخارج دارة عددية . فجدول الحقيقة للداله OR نجده مبيناً في الجدول ١ — ٣ .

A	*B*	*Output*
0	0	0
0	1	1
1	0	1
1	1	1

الجدول ١ — ٣ — جدول الصحة للدالة OR

ومـن ناحيـة أخـرى يمكـن استخـدم F (لعـدم الصحـة) بـدلاً عـن T, O (للصحيح) بدلاً من 1 . وهذه طريقة أخرى صحيحة لعرض جدول حقيقة . تعمل الـدارات العدديـة على مستويـات الفلطيـة التـي يمكـن تمثيلهـا بـالحرف H

(للمستوى العالي) والحرف L (للمستوى المنخفض) . وعادة يماثل الحرف H Logic1 والحرف L لِـ Logic O . وهذا يعرف باسم الدارة المنطقية الموجبة والتي تستخدم طوال هذا الكتاب . على أية حال ، توجد طريقة أخرى تعرف باسم الدارة المنطقية السالبة والتي يكون الحرف H فيها مماثلاً لِـ LogicO والحرف L لِـ Logic 1 .

يوضح الجدول ١ — ٤ الطرق المختلفة لتمثيل الدالة AND .

		خرج			خرج			خرج			خرج
A	*B*	*Output*	*A*	*B*	*Output*	*A*	*B*	*Output*	*A*	*B*	*Output*
0	0	0	F	F	F	L	L	L	H	H	H
0	1	0	F	T	F	L	H	L	H	L	H
1	0	0	T	F	F	H	L	L	L	H	H
1	1	1	T	T	T	H	H	H	L	L	L

a. Logic 0 and 1, b. True/False, c. Positive logic, d. Negative logic.

الجدول ١ — ٤ — أربعة طرق لتمثيل جدول الصحة بالنسبة للدالة AND

١ — ٥ — الخاتمة

إن المبادىء المجملة في هذا الفصل تستخدم طول هذا الكتاب . ويجب على مصممي الجهاز أن يكونوا على دراية تامة بما يسمى بالجبر البولي Boolean وأنظمة الترقيم ، إلخ .

١ — ٦ — الخلاصة

يوجد نظامان للترقيم يستخدمان في التصميم العددي :

النظام الثنائي (الأساس ٢) .

النظام الست عشري (الأساس ١٦) .

الجبر البولي هو عبارة عن مجموعة من القواعد المفيدة في التصميم العددي . وتتمركز هذه القواعد حول ثلاث دالات رئيسية :

الدالة OR .

الدالة AND .

الدالة NOT .

الفصل ٢

مجموعات التركيب الأساسية

٢ ــ ١ ــ مقدمة

سوف يوضح هذا الفصل مجموعات التركيب الأساسية للجهاز مع كيفية استخدامها . وسيتم بعد ذلك شرح المجموعات الأكثر تعقيداً والتي يمكن إحداثها بتوصيل المجموعات الأساسية مع بعضها .

٢ ــ ٢ ــ بوابات NOT, OR, AND

هذه عبارة عن ثلاث مجموعات تركيب بسيطة جداً متضمنة في التصميم العددي .

٢ ــ ٢ ــ ١ بوابة AND

إن هذه البوابة سوف تعطي خرجاً منطقياً عالياً أو « صحيحاً » إذا كانت كافة مداخله صحيحة . أي أنه إذا كان الدخل A والدخل B والدخل C ... إلخ جميعها صحيحة فإن الخرج عندئذ سيكون صحيحاً .

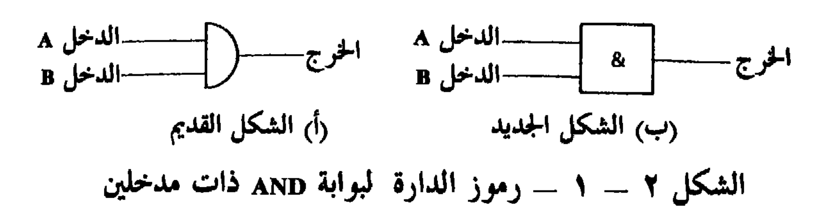
إن جدول الحقيقة لبوابة AND ذات مدخلين نجده مبيناً في الجدول ٢ ــ ١

الدخل *Input A*	الدخل *Input B*	الخرج *Output*
0	0	0
0	1	0
1	0	0
1	1	1

الجدول ٢ ــ١ ــ جدول حقيقة لبوابة AND ذات مدخلين

ورمز الدارة مبين في الشكل ٢ — ١ .

يتمثل الخرج بـ A.B أو AB بالشكل البولي (Boolean format) .



الشكل ٢ — ١ — رموز الدارة لبوابة AND ذات مدخلين

إن ما بيناه على أنه شكل جديد قد أصبح الآن هو الأسلوب القياسي لإظهار البوابات المنطقية — وهذا الأسلوب يجب أن يستخدم من قبل القارىء لأنه يعتبر هو الطريقة الأكثر شمولية . أما الشكل القديم فقد استخدم وما زال يستخدم على نطاق واسع ولذلك تعتبر معرفته ضرورية . وسوف ينتقل الكتاب بين هذين الشكلين لإكساب القارىء الثقة بكليهما .

٢ — ٢ — بوابة OR

إن هذه البوابة سوف تعطي خرجاً منطقياً عالياً أو « صحيحاً » في حال كون أي من مدخليها صحيحاً ، أي إذا كان المدخل A أو المدخل B أو المدخل C ، إلخ صحيحاً ، وعندئذ سيكون الخرج أو المخرج صحيحاً .

يوضح الجدول ٢ — ٢ جدول حقيقة لبوابة OR ذات مدخلين ونجد رمز الدارة موضحاً في الشكل ٢ — ٢ .

يتمثل الخرج بـ A + B بالشكل البولي .

الدخل A	الدخل B	الخرج
0	0	0
0	1	1
1	0	1
1	1	1

الجدول ٢ — ٢ جدول حقيقة لبوابة OR ذات مدخلين

(ب) الشكل الجديد   (أ) الشكل القديم

الشكـــــل ٢ — ٢ — رمـــوز الــــدارة لبوابــــة OR ذات مدخـــــلين

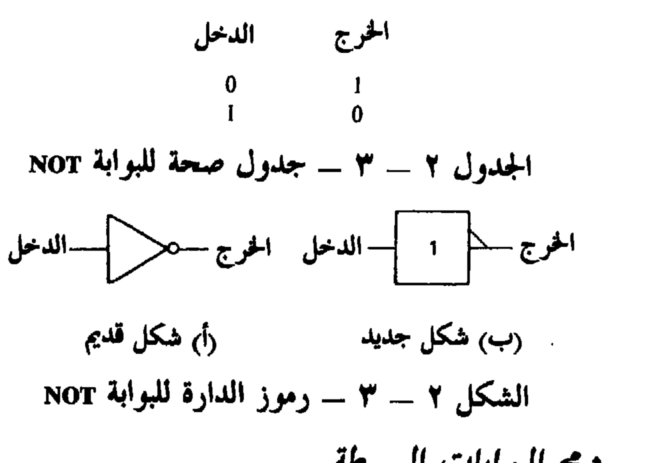
٢ — ٢ — ٣ — بوابة NOT

إن هذه البوابة سوف تعكس دخلها . أي أنه إذا كان الدخل صحيحاً فإن الخرج سيكون غير صحيح والعكس بالعكس . إن جدول الحقيقة بالنسبة للبوابة NOT نجده مبيناً في الجدول ٢ — ٣ ورمز الدارة نجده مبيناً في الشكل ٢ — ٣ .

يتمثل الخرج بـ $\bar{A}$ الشكل البولي Boolean .

الدخل	الخرج
0	1
1	0

الجدول ٢ — ٣ — جدول صحة للبوابة NOT



(ب) شكل جديد   (أ) شكل قديم

الشكل ٢ — ٣ — رموز الدارة للبوابة NOT

٢ — ٣ — *دمج البوابات البسيطة*

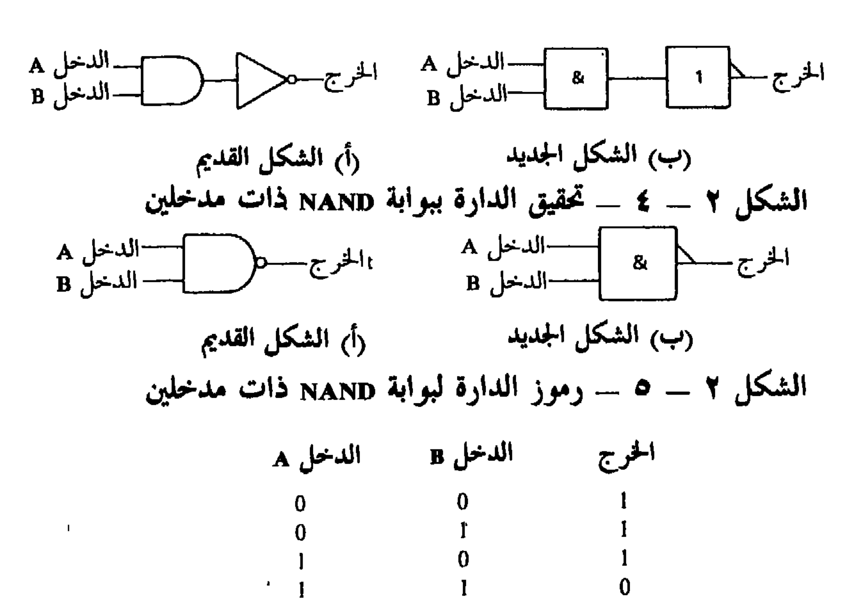
يمكن دمج هذه البوابات البسيطة بطرق مختلفة لانتاج أربع بوابات أخرى مفيدة جداً .

٢ — ٣ — ١ — البوابة NAND

هذه عبارة عن مجرد بوابة AND ويكون مخرجها معكوساً ببوابة NOT . الدمج مبين في الشكل ٢ — ٤ . وأما جدول الحقيقة فهو مبين في الجدول ٢ — ٤ ورمز

الدارة مبين في الشكل ٢ — ٥ .

يتمثل الخرج بـ $\overline{A.B}$ أو $\overline{AB}$ بشكل بولي Boolean .



(أ) الشكل القديم (ب) الشكل الجديد

الشكل ٢ — ٤ — تحقيق الدارة ببوابة NAND ذات مدخلين

(أ) الشكل القديم (ب) الشكل الجديد

الشكل ٢ — ٥ — رموز الدارة لبوابة NAND ذات مدخلين

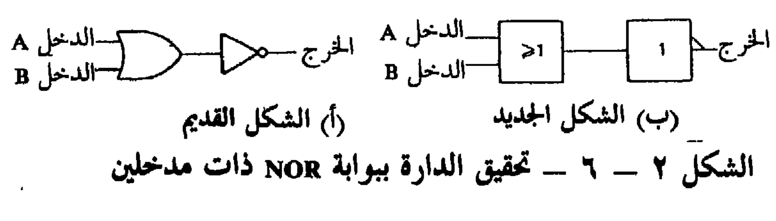
الدخل A	الدخل B	الخرج
0	0	1
0	1	1
1	0	1
1	1	0

الجدول ٢ — ٤ — جدول حقيقة لبوابة NAND ذات مدخلين

٢ — ٣ — ٢ — بوابة NOR

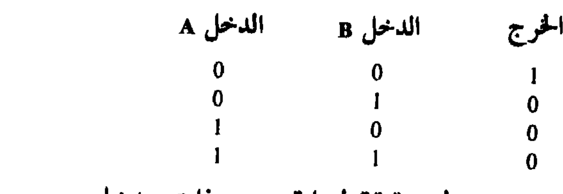
هذه عبارة عن بوابة OR ويكون خرجها معكوساً ببوابة NOT . الدمج مبين في الشكل ٢ — ٦ . وجدول الحقيقة مبين في الجدول ٢ — ٥ ورمز الدارة مبين في الشكل ٢ — ٧ .

يتمثل الخرج بـ $\overline{A+B}$ بشكل بولي .



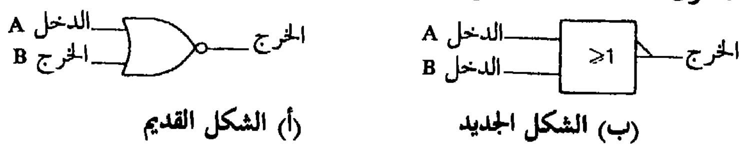
(أ) الشكل القديم (ب) الشكل الجديد

الشكل ٢ — ٦ — تحقيق الدارة ببوابة NOR ذات مدخلين



الدخل A	الدخل B	الخرج
0	0	1
0	1	0
1	0	0
1	1	0

الجدول ٢ — ٥ — جدول حقيقة لبوابة NOR ذات مدخلين



(أ) الشكل القديم **(ب) الشكل الجديد**

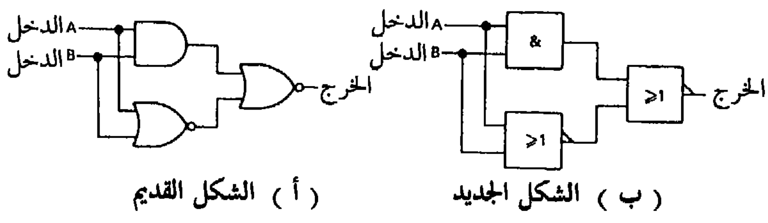
الشكل ٢ — ٧ — رموز الدارة لبوابة NOR ذات مدخلين

٢ — ٣ — ٣ — بوابة OR المنحصرة (XOR)

تعطي هذه البوابة خرجاً صحيحاً إذا كان أحد مدخليها صحيحاً ، ولكن شريطة ألا يكون كلا مدخليها صحيحين .

يوضح الشكل ٢ — ٨ إحدى طرق الحصول على بوابة XOR . ونجد جدول الصحة مبيناً في الجدول ٢ — ٦ ، ورمز الدارة مبين في الشكل ٢ — ٩ . ر

يتمثل الخرج بـ A ⊕ B بشكل بوليان .

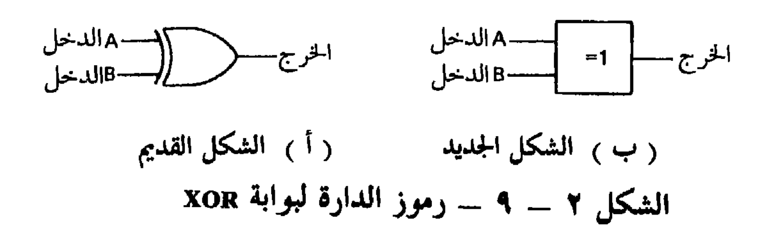


(أ) الشكل القديم **(ب) الشكل الجديد**

الشكل ٢ — ٨ — تحقيق دارة بوابة XOR

الدخل A	الدخل B	الخرج
0	0	0
0	1	1
1	0	1
1	1	0

الجدول ٢ — ٦ — جدول صحة لبوابة XOR

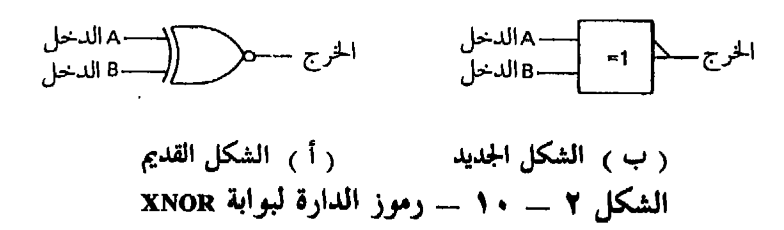


(أ) الشكل القديم (ب) الشكل الجديد

الشكل ٢ ـ ٩ ـ رموز الدارة لبوابة XOR

٢ ـ ٣ ـ ٤ بوابة NOR المنحصرة (XNOR)

هذه البوابة هي عكس البوابة XOR . يتمثل خرجها بـ A ⊕ B بشكل بولي ونجد رمز دارتها مبيناً في الشكل ٢ ـ ١٠ .



(أ) الشكل القديم (ب) الشكل الجديد

الشكل ٢ ـ ١٠ ـ رموز الدارة لبوابة XNOR

تمرين

إن كافة البوابات الناتجة في هذا الفصل يمكن توليدها من البوابة NAND أو البوابة NOR . اصنع دارات لإجراء ذلك .

٢ ـ ٤ ـ *البوابات ذات المداخل المتعددة*

إن كافة البوابات المذكورة حتى الآن لها مدخلان (باستثناء البوابة NOT) . وهذا العدد هو الأكثر شيوعاً بالنسبة للمداخل . ولكن على أية حال ، من الممكن أن يتم تزويد البوابة بأي عدد من المداخل .

٢ ـ ٥ ـ *مثال عملي*

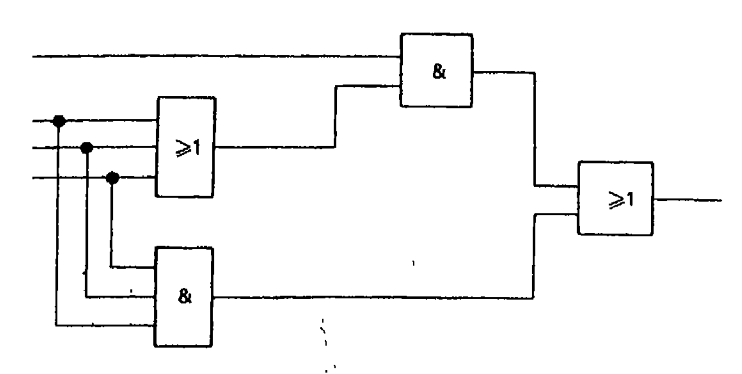
لنقم الآن بتصميم دارة من أجل حل مشكلة الاقتراح الواردة في الفصل الأول .

إن التعبير الجبري البوليان للاقتراح كان على الشكل التالي :

$$A(B + C + D) + BCD$$

يوضح الشكل ٢ — ١١ دارة وظيفتها هي نفس وظيفة المقدار البولي .

سيكون الحل هو الدارة المنطقية ١ في حال نجاح الاقتراح .
سوف يوضح الفصل ٣ كيفية بناء هذه الدارة باستخدام قطع متوفرة على واسع .



الشكل ٢ — ١١ — تمثيل الدارة A (B + C + D) + BCD

٢ ـ ٦ ـ نظريات ديمورغان

إن البوابات المنطقية المبينة أعلاه يمكن أن تستخدم في عدة تطبيقا استخدامات . فعلى سبيل المثال يمكن اعتبار البوابة OR بأن لها خرج بقيمة كان على الأقل دخل واحد قيمته ١ . هناك طريقة أخرى صحيحة للنظر إلى OR وهي افتراض أن الخرج قيمته صفراً : إذا كانت قيم المداخل صفراً . الطريقتين تحددان البوابة OR .

ولكي تفهم لماذا تعتبر الفكرة جيدة بأن نحدد البوابة OR بطريقتين ، فإذ ما يلي :

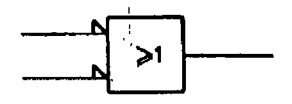
إذا أردنا تصميم دارة بالدالة البولية $\overline{\overline{A}.\overline{B}}$ فإننا يمكننا أن نستخدم البوابتين NOT والبوابة NAND . وبذلك نحصل على النتيجة الصحيحة . على أية حال إذا قمنا بتحضير جدول الصحة لهذه الدالة كما هو مبين في الشكل ٢ — ٧ فإننا يمكننا أن نرى بأن جدول الصحة للدالة $\overline{\overline{A}.\overline{B}}$ هو نفس الجدول للدالة OR — A + B . ومن ثم فإن $\overline{\overline{A}.\overline{B}} = A + B$. وبطريقة مماثلة $\overline{\overline{A}+\overline{B}} = A.B$.

A	B	$\overline{A}$	$\overline{B}$	$\overline{A}.\overline{B}$	$\overline{\overline{A}\,\overline{B}}$	A+B
0	0	1	1	1	0	0
0	1	1	0	0	1	1
1	0	0	1	0	1	1
1	1	0	0	0	1	1

الجدول ٢ — ٧ — جدول الصحة للدالة $\overline{\overline{A}.\overline{B}}$

لقد كان ديمورغان هو أول شخص يقوم بصياغة هاتين المعادلتين ولهذا السبب عرفنا بنظريات ديمورغان . يمكن تمثيل البوابات NOR, OR, NAND, AND بطريقتين ، بالطريقة العادية ، أو بمكافئاتها التابعة لديمورغان .

على سبيل المثال يمكن كتابة الدالة NAND على شكل $\overline{A.B}$ أو $\overline{A}+\overline{B}$. يوضح الشكل ٢ — ١٢ رمز دارة مكافئات ديمورغان .



الشكل ٢ — ١٢ — مكافئات ديمورغان لبوابة NAND

يمكن ترجمة الرمز الوارد في الشكل ٢ — ١٢ على النحو التالي .

إذا كان الدخل A يساوي الصفر أمر الدخل B يساوي الصفر (أو كلاهما) ، فإن الخرج عندئذ ستكون قيمته ١ . إذا كان يوجد مثلث على خط الخرج فإن الرمز سيمثل بوابة AND .

تستخدم مكافئات ديمورغان في مخططات الدارات للمساعدة على فهم كيفية عمل الدارة . وقد يكون هذا غير واضح الآن إلا أنه سيتضح أكثر عندما نمضي قدماً في قراءة الكتاب .

٢ ـ ٧ ـ شرح الرموز المنطقية الجديدة

إن الرموز المنطقية الجديدة تمكنك من تحديد وظيفة أي جهاز بدون لزوم النظر إلى جدول الحقيقة أو الدارة المنطقية الداخلية . وهذه الرموز موضحة بشكل مفصل في كتاب معطيات TTL (Texas Instruments) وستتم تغطيتها حسب ظهورها في هذا الكتاب .

إن الرمز الأساسي هو الإطار مع المداخل والمخارج . إن الرموز التي مرت بنا حتى الآن هي تلك الخاصة بالبوابات ,XNOR, XOR, NOR, NAND, NOT, OR AND . فالبوابة AND لها خطان نحو الإطار وإشارة & داخل الإطار وخط خارج من الإطار . وهذا يعني بأن الخرج = الدخل ١ والدخل ٢ .

أما بوابة OR فلها خطان نحو الإطار و1≤داخل الإطار وخط خارج الإطار . وهذا يعني بأن الخرج = الدخل ١ أو الدخل ٢ .

والبوابة NOT لها خط نحو الإطار وقيمه 1 داخل الإطار وخط خارج من الإطار مع مثلث عليه . وهذا المثلث يعني بأن الخرج فعال منخفض (مقابل فعال مرتفع) . ومن ثم فإن الدخل الفعال المرتفع يمر عبر البوابة . وبما أن الخرج فعال منخفض فإنه يكون معكوساً .

البوابة NAND هي مثل البوابة AND تماماً ، باستثناء أن لها مثلثاً على خرجها . وهذا يعني بأن الخرج فعال منخفض وبذلك يكون معكوساً .

البوابة NOR هي مثل البوابة OR تماماً ، باستثناء أن لها مثلثاً على خرجها وبالتالي فإن خرجها فعال منخفض .

البوابة XOR لها خطان نحو الإطار ، 1 = داخل الإطار وخط خارج من

الإطار ، وهذا يعني بأن الخرج = الدخل 1 XOR الدخل 2 .

البوابة XNOR هي مثل البوابة XOR تماماً باستثناء أن لها مثلثاً على خرجها وبالتالي فإن خرجها منخفض فعال .

الخاتمة أو النتيجة

إن مجموعات البناء المنطقية هذه يمكن دمجها لتعطي العديد من الوسائل الرقمية المختلفة . يوضح الفصل الرابع بعض هذه الوسائل .

إن معظم التصاميم التي سيقوم بها القارىء ستشتمل على بعض المجموعات المنطقية الأساسية .

٢ ـ ٩ ـ *الملخص*

إن الوسائل المبينة في هذا الفصل مع رموز داراتها وتعابيرها الجبرية البوليانية (Boolean) هي :

الوسيلة	الرمز القديم	الرمز الجديد	مكافىء ديمورغان	تعبير بوليان الجبري
AND		&	≥1	A.B أو AB (or $\overline{\overline{A}+\overline{B}}$)
OR		≥1	&	A+B (أو $\overline{\overline{A}.\overline{B}}$)
NOT		1	1	A
NAND		&	≥1	$\overline{A.B}$ أو $\overline{AB}$ (أو A+B)
NOR		≥1	&	$\overline{A+B}$ (أو $\overline{A}.\overline{B}$)
XOR		=1		$A \oplus B$
XNOR		=1		$\overline{A \oplus B}$

إن أياً من الرمز القديم أو الجديد يمكن أن يستخدم في مخططات الدارات . لقد أصبحت الرموز الجديدة هي المجموعة القياسية . تشكل هذه الوسائل القاعدة لكثير من الوسائل المعقدة .

الفصل ٣

صنع داراتك الخاصة بك

يتضمن هذا الفصل ما يلزمك لصنع داراتك الخاصة بك .

٣ ـ ١ ـ *التجهيزات العامة*

الجدول ٣ ـ ١ عبارة عن لائحة بالمعدات والأدوات المطلوبة (مع الأسعار التقريبية لعام ١٩٨٥) لمن يريد أن يعمل بيده . وليست جميع هذه المعدات ضرورية لتركيب الدارات في هذا الكتاب . إلا أن جميعها مفيدة من حيث وجودها لدى من يرغب بذلك .

كاوية لحام	١٥ جنيه
سبيكة لحام متعددة القلوية	جنيه كل ١٠ متر
مصاصة لحام/أداة إزالة اللحام	٦ جنيهات
زردية طويل الأنف	٦ جنيهات
قطاعة أسلاك	٤ جنيهات
معرية أسلاك	٣ جنيهات
مقياس كهربائي متعدد القياسات	٣٠ جنيه
قطاعة تسوية موضعية لـ Veroboard	٢ جنيه
Breadboard	٨ جنيهات
سلك بقلب صلب	٢ جنيه لكل ١٠٠ متر
سلك بقلب مجدول	٢ جنيه لكل ١٠٠ متر
قياسات منوعة من Veroboard	٣ جنيهات لكل منها قياس
منبع قدرة + ٥ فولط	٣٥ جنيهاً لـ /١/ أمبير منبع قدرة خطي

الجدول ٣ ـ ١ لائحة بالعدة الضرورية مع أسعارها التقريبية لعام ١٩٨٥

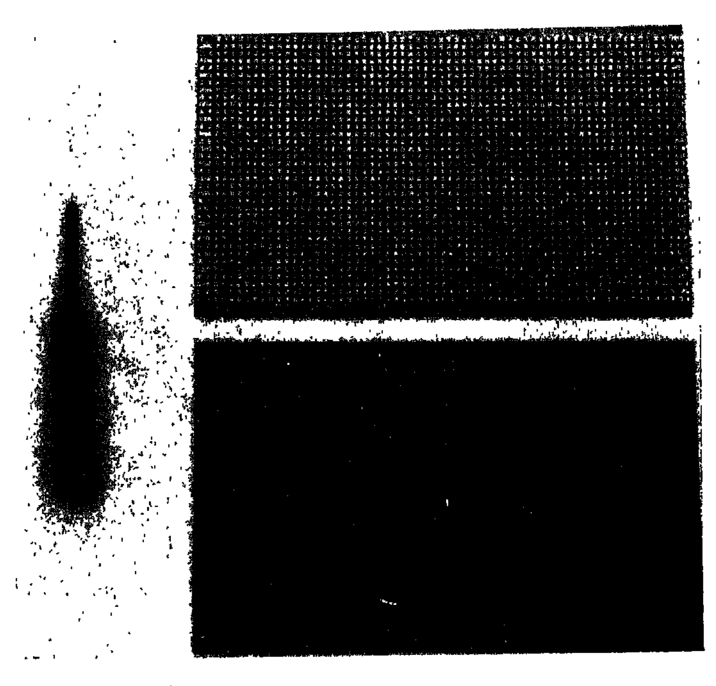
توجد أمثلة عن كل أداة من الأدوات المبينة أعلاه مبينة في الصور (اللوحات ١ — ٧) .

إذ Veroboard (التي تعرف أحياناً باسم Stripboard) تتكون من خطوط نحاسية مربوطة إلى لوحة عازلة وتوجد ثقوب في الخطوط لإدخال أرجل الدارات التكاملية أو أرجل التركيب المنفصلة (أنظر الفصل ٥ — الأجزاء المشابهة) . إن نوع الـ Veroboard المستخدم مع الدارات التكاملية تبلغ قياسات فتحاته (ثقوبه) ٠,١ بوصة وقطر كل منها ١ مم .

ملاحظة : يجب أن يتم وضع الأجزاء المكونة في الطرف الخاص بها من لوحة Veroboard .

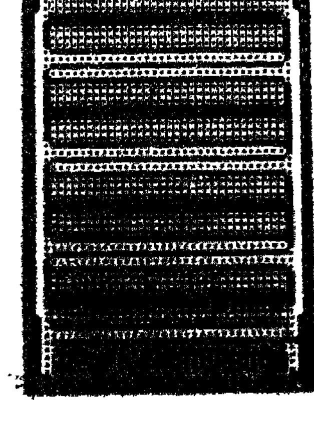
يمكن لقطاعة التسوية الموضعية للوحة الـ Veroboard أن تقطع الخطوط النحاسية ، حيث يتم صنع دارة حسب الطلب .

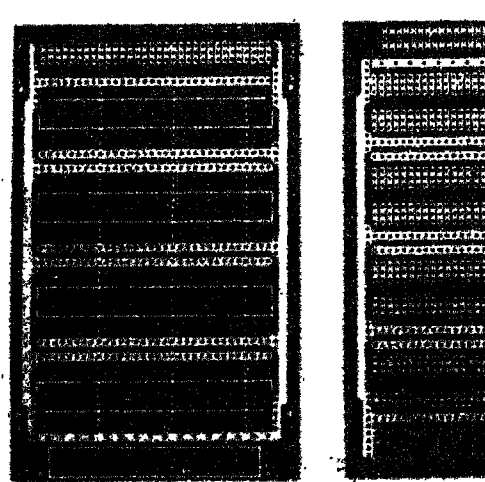
أما لوحات الايروكاردز (Eurocards) فهي نوع خاص من لوحة أو



اللوحة ١ — الفيروبورد وقطاعه التسوية الموضعية للفيروبورد

Veroboard . وهذه اللوحات أكثر فائدة من اللوحات العادية للتصاميم مع الدارات التكاملية (مقابل الوسائل المنفصلة — الترانزيستورات والمكثفات والمقاومات ، إلخ) ، مع العلم بأن الأجهزة المنفصلة يمكن أن تستخدم مع لوحات الـ Eurocards . من النادر أن يلزم قطع الخطوط على لوحات الايروكاردز . تلزم كاوية اللحام لربط (وصل) الدارات التكاملية والأجهزة (الوسائل) المنفصلة والأسلاك مع لوحات الفيروبوردز ، إلخ . الطريقة المتبعة في لحام الأجزاء المكونة ليست صعبة جداً .





اللوحة ٢ — البطاقة المسماة ايروكارد

١ — يتم وضع القطعة المكونة في الطرف الخاص بالقطع من لوحة الفيروبورد .
٢ — يتم قلب لوحة الفيروبورد ويتم ثني رجل أو رجلين على القطعة لمنعها من السقوط .
٣ — يتم التأكد من أن كاوية اللحام حامية لدرجة كافية لإذابة اللحام وغير مغطاة بأوساخ/ صهيرة اللحام (إن إستخدام قطعة قماش رطبة مفيد جداً في تنظيف

كاويات اللحام) .

٤ ــ تتم ملامسة كاوية اللحام بالرجل التي تود لحامها .

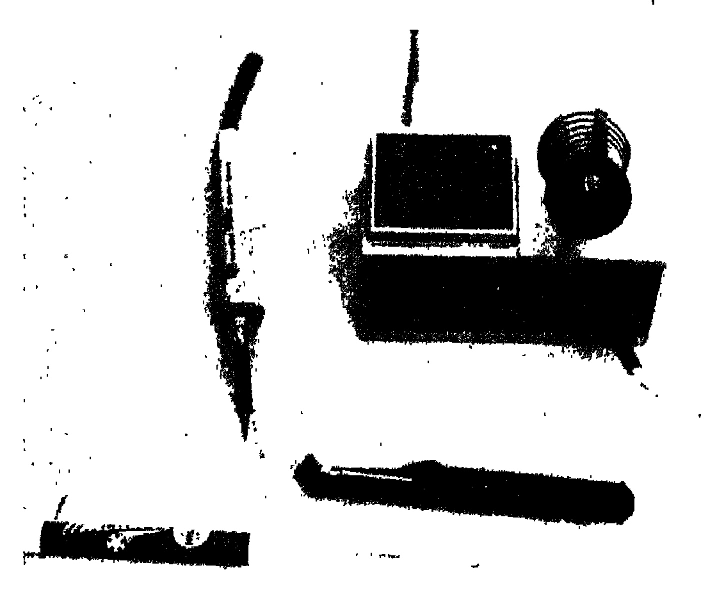
٥ ــ تتم ملامسة سبيكة اللحام للرجل بعد ثانية أو ثانيتين (وذلك لترك الرجل تسخن) .

٦ ــ تتم إزاحة كاوية اللحام وسبيكة اللحام .

إن الغرض من عملية اللحام هو تأمين توصيل كهربائي دائم بين القطعة المكونة ولوحة الفيروبورد (أو ما شابه ذلك) . هناك نقطتان يجب أخذهما بعين الإعتبار :

أ ــ إذا لم يتم تثبيت كاوية اللحام على الرجل لمدة كافية فإنه قد لا تحصل عملية توصيل لحام جيدة (وصلة جافة) . وهذا يمكن ملاحظته عادة بالمظهر الخشن للحام (لأن التوصيلات الجيدة تكون ناعمة ولماعة) .

ب ــ في حال إبقاء كاوية اللحام القوية جداً على الرجل لفترة طويلة جداً فإنها قد تتسبب بعطب القطعة المكونة . وهذا لا يمكن حدوثه عادة عندما تكون كاوية اللحام ضعيفة التغذية .



يجب أن تكون قدرة كاوية اللحام متراوحة بين ٢٠ واط و ٥٠ واط برأس كاوية نمره ٧ . (كلما كانت القدرة بالواط أعلى كانت سخونة كاوية اللحام أسرع . إن رؤوس الكاويات المختلفة تعمل بدرجات حرارة مختلفة) .

يجب أن تكون سبيكة اللحام من النوع الرصاصي القصديري — بسماكة 22 SWG (محدد قياس أسلاك عياري) . لاستخدام أداة إزالة اللحام فإنه يتم كبس العتله للأسفل ويتم تسخين الوصلة بكاوية لحام ويتم كبس زر تحرير العتله . وبذلك يتم حدوث تفريغ جزئي يتم به امتصاص اللحام عن الوصلة .

تستخدم الزردية ذات الأنف الطويل في الأعمال التي تتطلب براعة يدوية ، ولكن في الأماكن التي لا يمكن أن تصل إليها الأصابع . أما بالنسبة لقطاعة الأسلاك فإن استخدامها واضح . وبالنسبة لمعرية الأسلاك فإنها تستخدم لنزع المادة العازلة عن الأسلاك لكي يتم لحام المعدن المجرد ووصله ، إلخ .

إن ما يتميز به السلك ذو القلب الصلب كونه مزود بسلك واحد فقط للتوصيل إلى لوحة الفيروبورد ، إلخ عند إجراء التوصيلات . عند إستخدام السلك ذي القلب المجدول ، فإنه يلزم جدل الأسلاك مع بعضها ومن ثم لحامها بالقصدير (ملامسة



اللوحة ٤ — زردية طويلة الأنف . وقطاعة أسلاك ومعرية أسلاك

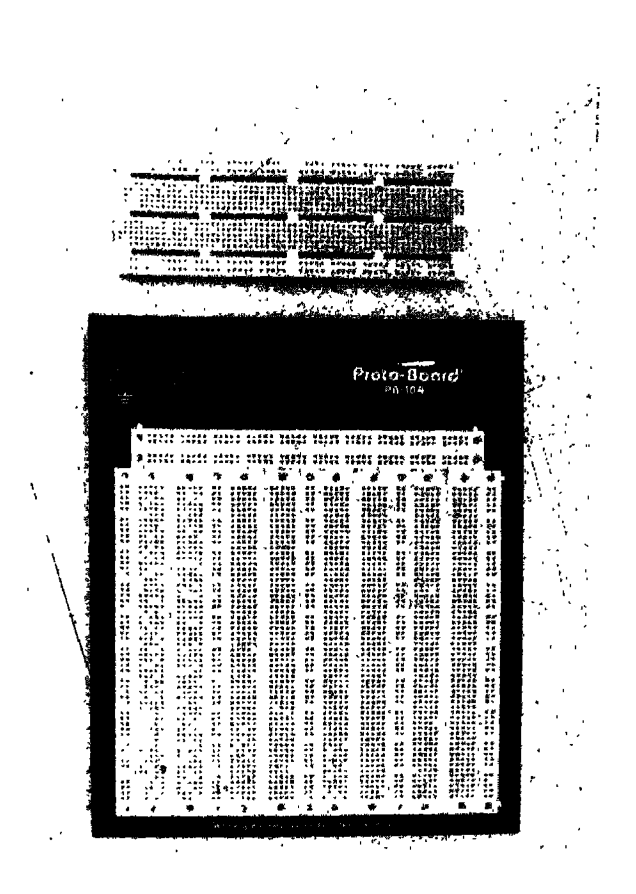


اللوحة ٥ ـ سلك ذو قلب صلب وذو قلب مجدول

السلك بكاوية اللحام ووضع بعض اللحام عليه) . حيث أن هذا يسهل إدخال السلك ذي القلب المجدول عبر الفتحات الموجودة في لوحة الفيروبورد . إن ما يتميز به السلك ذو القلب المجدول هو كونه أكثر مرونة بكثير من غيره . لأنك إذا قمت بثني سلك ذي قلب صلب عدة مرات فإنه سوف ينكسر . ومن الصعب جداً كسر السلك ذي القلب المجدول بهذا الشكل .

إذن تستخدم الأسلاك ذات القلب الصلب عادة في التوصيلات على لوحة الفيروبورد وتستخدم الأسلاك ذات القلب المجدول عادة في التوصيلات التي تتم بين لوحات الفيروبورد .. إلخ .

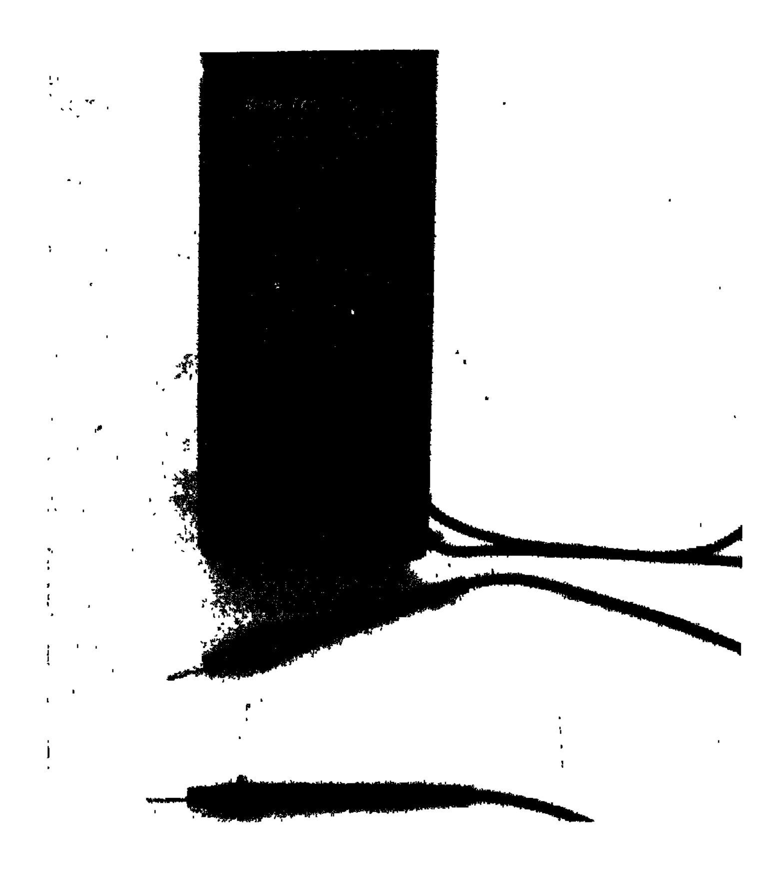
إن لوحات البريدبورد (Bread board) تساعدك على إختبار دارة ما بدون أية لحام . وتكون الثقوب موصولة عادة على شكل مجموعات مكونة من أربع أو خمس ثقوبه . وهذا يعطي شكلاً مماثلاً لذاك المستخدم لبطاقات الايروكارد . عند استخدام لوحات البريدبورد فإنه من الأفضل أن يتم استخدام السلك ذي القلب الصلب لأنه يصعب إدخال سلك ذي قلب مجدول في الثقوب .



اللوحة ٦ ــ لوحتان Breadboard

المقياس الكهربائي المتعدد القياسات عبارة عن جهاز يسمح لك بقياس المقاومة والتوتر والتيار . ومن ثم فإنه يستخدم في عملية الاختبار في حال صنع دارة (في حال لزوم وجود مقاومة قيمتها الصفر بين طرفي التوصيلة) .

يمكن الحصول على هذه الأدوات من عدة مصادر . وتعتبر شركة مابلن (Maplin) واحدة من أفضل المصادر التي تصنع العدة والتجهيزات للمستهلك (تستخدم شركة الإلكترونيات RS, Macro Marketing, Verospeed ، إلخ) ويتوفر كتالوكها من شركة W.H. Smith ووكالات لأنباء الأخرى أو محلات الأجهزة



اللوحة ٧ ــ مقياس كهربائي متعدد القياسات

الالكترونية . المكتب الرئيسي لشركة مابلن هو :

P.O. Box 3
Rayleigh
Essex
SS6 8LR

Phone (0702) 554155

وعلى الرغم من أن شركة مابلين تبيع القطع المكونة بالإضافة إلى التجهيزات ، فإن هناك شركتين أخريين . شركة تكنوماتيك وشركة واتفورد الكترونيكس لديهما

سلسلة أكبر من القطع المكونة . وتتضمن معظم محلات الإلكترونيات دعايات أو إعلانات لإحداهما أو لكلتا الشركتين حيث تشتمل هذه الإعلانات على لائحة بالقطع المتوفرة مع أسعارها . وفيما يلي عنوان الشركتين .

Technomatic 17 Burnley Road London NW10 1ED Phone (01) 452 1500	Watford Electronics 35/37 Cardiff Road Watford Herts Phone (0923) 40588

٣ ـ ٢ ـ طريقة *TTL* الأساسية

إن طريقة TTL (وهي الأحرف الأولى من عبارة Transistor-Transistor Logic هي عبارة عن طريقة لإنتاج قطع الدارات المكونة لها . إن سلسلة TTL الخاصة بقطع الدارات واسعة وشاملة وسهلة الاستخدام . تقوم شركة تكساس انسترومنتس بإنتاج السلسلة ٧٤ من أجهزة TTL كما يفعل العديد من الشركات الصانعة الأخرى .

يتم إنتاج أجهزة TTL بأغلفة DIL (Dualin Line) (والتي تعرف أيضاً باسم DIPS) مثل معظم القطع المكونة الرقمية (انظر اللوحة ٨) . تحتوي هذه الغلافات على عدد زوجي من الأرجل ، يتراوح عادة بين ٦ و٦٤ .

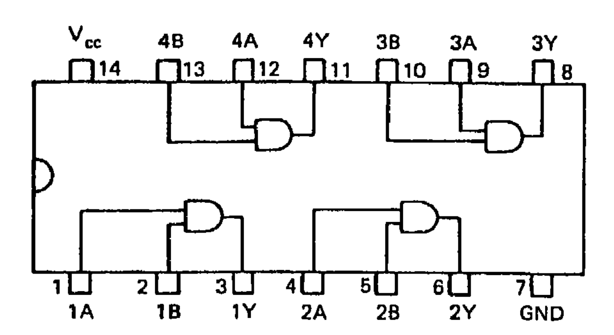
يحتوي الغلاف DIP على دارة تكاملية (IC) تقوم بمهمة TTL خاصة . إن البوابات المنطقية المبينة في الفصل ٢ يتم إنتاجها جميعها في TTL ويأتي وصف موجز عن كل منها :



اللوحة ٨ ـ دارة تكاملية بـ ١٦ رجل

٣ ــ ٢ ــ ١ ــ بوابة AND بمدخلين

يتم تركيب ٤ بوابات AND في غلاف دارة تكاملية مزود بـ ١٤ رجلاً كما هو مبين في الشكل ٣ ــ ١ .



الشكل ٣ ــ ١ ــ مخطط بوابة AND رباعية ذات مدخلين

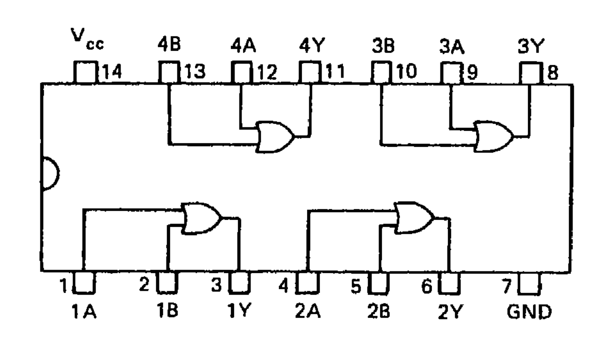
Vcc قيمتها + ٥ فولط و GND قيمتها صفر فولط . هذين المدخلين يؤمنان من التغذية بالقدرة لجعل البوابتين تعملان . إن الفرضة الموجودة إلى الجهة اليسرى من غلاف الـ DIP يدل على جهة الـ DIP . الرجل ١ هي دائماً الرجل التي تقع تحت الفرضة عندما تكون الفرضة على الجانب الأيسر . من الضروري أن يتم تذكر هذا لأنه في حال الحصول عليها خطأ فإن الدارة التكاملية سوف تتوقف عن العمل .

رقم هذه القطعة هو ٧٤٠٨ .
الكلفة التقريبية ١٤ باوند .

٣ ــ ٢ ــ ٢ ــ بوابة OR ذات مدخلين

تكون ٤ بوابات OR مغلفة ضمن غلاف (DIP) مزود بـ ١٤ رجل كما هو مبين في الشكل ٣ ــ ٢ .

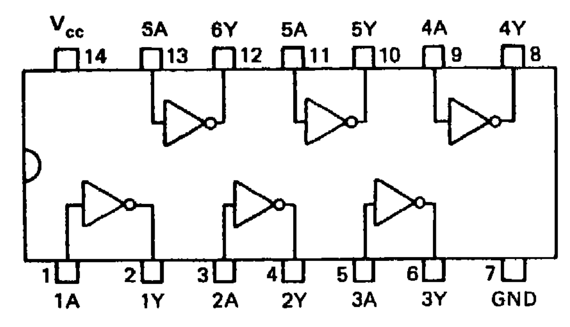
رقم هذه القطعة ٧٤٣٢ .
الكلفة التقريبية ١٤ باوند .



الشكل ٣ ــ ٢ ــ مخطط بوابة OR رباعية ذات مدخلين

٣ ــ ٢ ــ ٣ ــ بوابة NOT

ست بوابات NOT تكون مجمعة ضمن غلاف (DIP) ذي أربعة عشر رجلاً كما هو مبين في الشكل ٣ ــ ٣ .



الشكل ٣ ــ ٣ ــ مخطط بوابة NOT سداسية

رقم هذه القطعة هو ٧٤٠٤ .

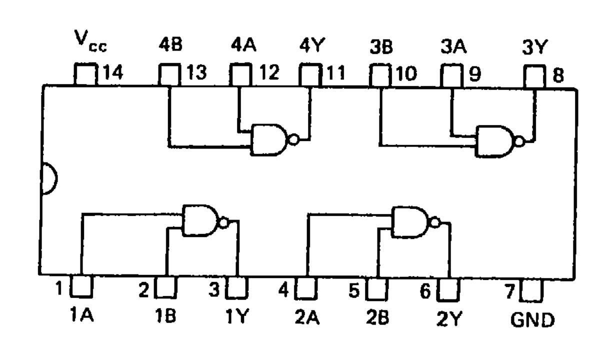
وكلفتها التقريبية ١٢ باوند .

٣ ــ ٢ ــ ٤ ــ بوابة NAND ذات مدخلين

أربع بوابات NAND تكون مجمعة ضمن غلاف (DIP) ذي أربعة عشر رجلاً كما هو مبين في الشكل ٣ ــ ٤ .

رقم هذه القطعة ٧٤٠٠ .

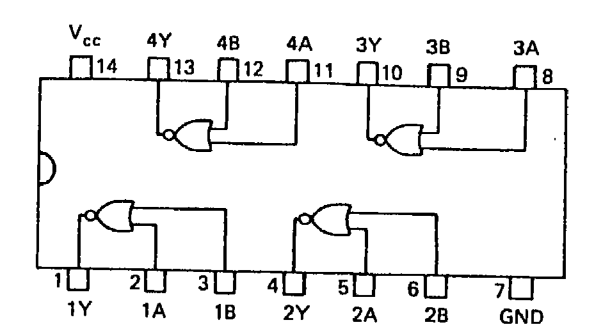
وكلفتها التقريبية ١١ باوند .



الشكل ٣ ـ ٤ ـ مخطط بوابة NAND رباعية ذات مدخلين

٣ ـ ٢ ـ ٥ ـ بوابة NOR ذات مدخلين

أربع بوابات NOR تكون مجمعة ضمن غلاف ذي أربعة عشر رجلاً كما هو مبين في الشكل ٣ ـ ٥ .

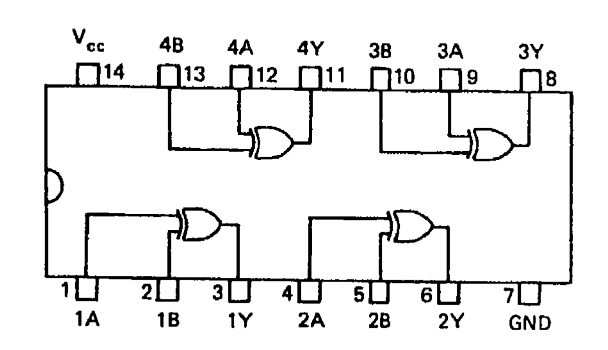


الشكل ٣ ـ ٥ ـ مخطط بوابة NOR رباعية ذات مدخلين

رقم هذه القطعة ٧٤٠٢ .
وكلفتها التقريبية ١٢ باوند .

٣ ـ ٢ ـ ٦ ـ بوابة XOR

أربع بوابات XOR تكون مجمعة ضمن غلاف (DIP) ذي أربعة عشر رجلاً كما هو مبين في الشكل ٣ ـ ٦ .

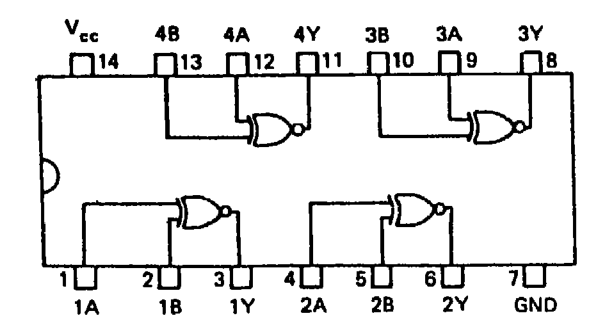


الشكل ٣ ــ ٦ ــ مخطط بوابة XOR رباعية

رقم هذه القطعة ٧٤٨٦ .
وكلفتها التقريبية ١٦ جنيه .

٣ ــ ٢ ــ ٧ ــ بوابة XNOR ذات مدخلين

أربع بوابات XNOR تكون مجمعة ضمن غلاف (DIP) ذي أربعة عشر رجلاً كما هو مبين في الشكل ٣ ــ ٧ .

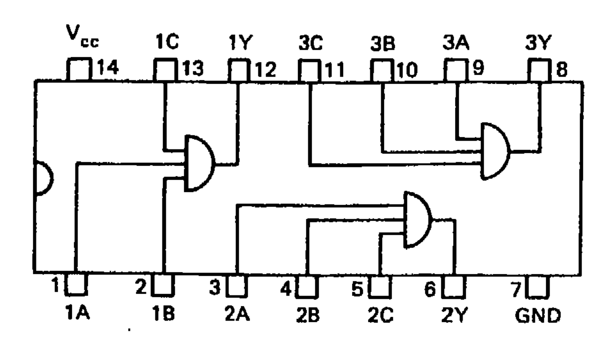


الشكل ٣ ــ ٧ ــ مخطط بوابة XNOR رباعية ذات مدخلين

رقم هذه القطعة ٧٤٢٦٦ .
وكلفتها التقريبية ٥٠ باوند .

٣ — ٢ — ٨ — بوابة AND ذات ثلاثة مداخل

ثلاث بوابات AND تكون مجمعة ضمن غلاف ذي أربعة عشر رجلاً كما هو مبين في الشكل ٣ — ٨ .



الشكل ٣ — ٨ — مخطط بوابة AND ثلاثية ذات ثلاثة مداخل

رقم هذه القطعة ٧٤١١ .

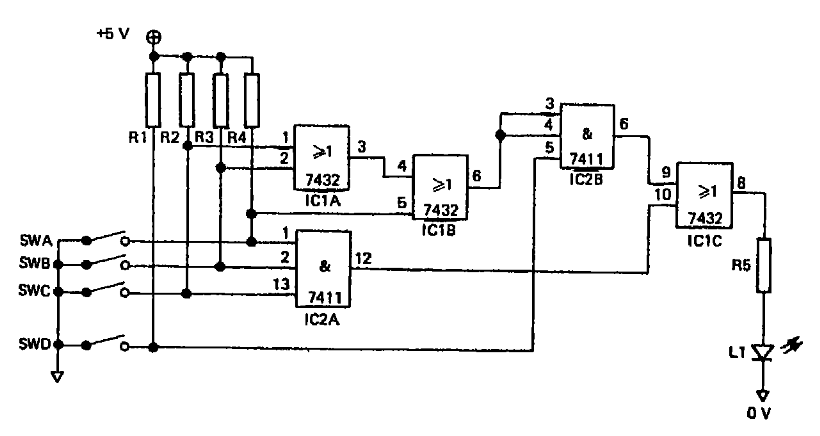
وكلفتها التقريبية ١٦ باوند .

٣ — ٣ — *استخدام طريقة TTL الأساسية*

إذا كان لديك دارة تحتوي على أربع بوابات NAND ذات مدخلين فإنه سيلزم عندئذ قطعة ٧٤٠٠ فقط لتنفيذ ذلك الجزء من الدارة . وإذا كان لديك خمس بوابات NAND ذات مدخلين فإنه سيلزم عندئذ قطعتان ٧٤٠٠ . أما البوابات الثلاث الأخرى NAND في الغلاف الثاني فإنها يمكن أن تستخدم كبوابات NOT (بربط مداخليها مع بعضها) أو لا تستخدم نهائياً .

وبالرجوع إلى مشكلة الاقتراع في الفصلين الأول والثاني .

فإنه لا يتم صنع بوابات ذات ثلاثة مداخل OR بطريقة TTL ، وسيتم استخدام بوابات OR ثنائية المدخل بدلاً عن ذلك ، والتي ينتج عنها الدارة المبينة في الشكل ٣ — ٩ .



الشكل ٣ ــ ٩ ــ الحل العملي لمشكلة الاقتراع

بيان وتوضيح الشكل ٣ ــ ٩ :

SWA — SWD هي مفاتيح أحادية التحويلة أحادية الأقطاب (on/off) .

R1 — R4 هي مقاومات الصعود المفاجيء . وهذه تضمن وجود فلطية معلومة قيمتها (+ ٥ فولط) على المداخل المؤدية إلى البوابات في حال وجود أي مفتاح في وضعية الـ off . تبلغ قيمة هذه المقاومات ٤٧٠٠ أوم . وسوف نرى السبب المؤدي لهذه القيمة واضحاً في الفصل السادس . وبدون هذه المقاومات عندما يفتح مفتاح ، فإن مقداره + ٥ فولط سوف يصبح صفر فولط ويمكن لمنع القدرة أن ينفصل .

IC1 هي عبارة عن بوابة OR رباعية ذات مدخلين . تمثل الأحرف C, B, A البوابات المختلفة ضمن الغلاف . أما الأرقام التي فوق الخطوط فهي أرقام المسامير في الغلاف .

IC2 هي بوابة ٧٤١١ . السبب بوجود مدخلين لِـ IC2B مرتبطين معاً هي كونها تستخدم كبوابة AND ذات مدخلين (إنه أكثر فعالية أن يكون لدينا بوابة ٧٤١١ مع بوابة أخرى غير مستخدمة من أن يكون لدينا بوابة ٧٤١١ مع بوابتين غير مستخدمتين

وبوابة ٧٤٠٨ إضافية مع ثلاث بوابات (غير مستخدمة) .

L1 عبارة عن ديود باعث للضوء (LED) . سيتم بحث هذه الديودات الباعثة للضوء في الفصل الخامس . سوف يتم إحتراق هذه الديودات في حال مرور تيار زائد عبرها وهكذا فإن R5 تستخدم لتحديد التيار المار عبر الديود LED . سوف يتوهج الديود في حال مرور التيار عبره ، أي إذا كان خرج البوابة IC1 مرتفعاً .

R5 يحدد التيار المار عبر الديود L1 . تبلغ قيمته ٤٧٠٠ أوم .

يمكن الحصول على جميع هذه القطع من شركات تم ذكرها سابقاً .

تمرين

كوّن الدارة المبينة في الشكل ٣ — ٩ على لوحة البريدبورد .

التمرين

كوّن الدارة المبينة في الشكل ٣ — ٩ باستخدام اللوحة فيروبورد . تأكد من قيامك بقطع أي توصيلات غير مرغوبة باستخدام قطاعه تسوية موضعية .

٣ — ٤ — الخاتمة

بعد قراءة هذا الفصل يجب أن تكون على ثقة تامة بتصميم وبناء دارة باستخدام أجهزة TTL البسيطة (الدارة على لوحة الفيروبورد برهان كاف على قدراتك) . إن الأمثلة العملية في الفصول القادمة سوف تفترض بأن هذا الفصل قد تمت قراءته وفهمه .

٣ — ٥ — ملخص

إن الدارات التكاملية التي يشتمل عليها هذا الفصل هي :

٧٤٠٨ بوابة AND رباعية ذات مدخلين .

٧٤٣٢ بوابة OR رباعية ذات مدخلين .

٧٤٠٤ بوابة NOT سداسية .

٧٤٠٠ بوابة NAND رباعية ذات مدخلين .

٧٤٠٢ بوابة NOR رباعية ذات مدخلين .

٧٤٨٦ بوابة XOR رباعية .

٧٤٢٦٦ بوابة XNOR رباعية .

٧٤١١ بوابة AND ثلاثية ذات ثلاث مداخل .

الفصل ٤

أجهزة أكثر تعقيداً

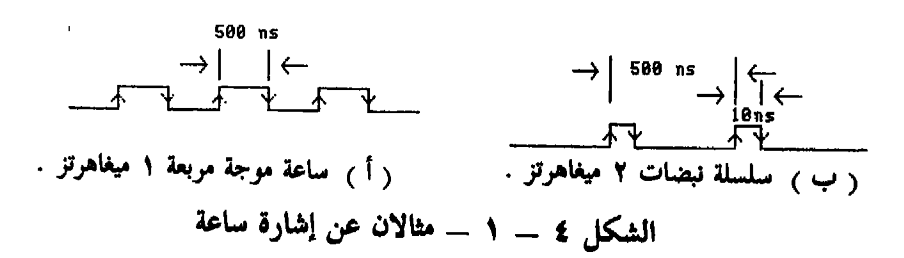
سوف يبحث هذا الفصل في الأجهزة ثنائية الاستقرار ومسجلات النقل والعدادات . يمكن إنتاج جميع هذه الأجهزة من خلال دمج الأجهزة التي رأيناها في الفصول السابقة . يوضح الملحق C كيفية صناعة هذه الأجهزة .

إن مخارج الأجهزة المبينة سابقاً تعتمد فقط على حالة التيار في مداخلها . وهذا يعرف باسم Combinational Logic . تعتمد مخارج الأجهزة المبينة في هذا الفصل من ناحية على المداخل السابقة . وهذا يعرف باسم Sequential Logic .

٤ ـ ١ ـ *الساعات*

تحتوي مجموعة الـ Sequential Logic على مدخل للساعة وهذا المدخل يجب أن يكون بالحالة الصحيحة قبل تغيير المخارج .

الساعة عبارة عن إشارة تقوم بتغيير الحالة من الواحد (1) إلى الصفر (0) والعكس بالعكس بشكل دوري ، كما هو مبين في الشكل ٤ ـ ١ .



(أ) ساعة موجة مربعة ١ ميغاهرتز .

(ب) سلسلة نبضات ٢ ميغاهرتز .

الشكل ٤ ـ ١ ـ مثالان عن إشارة ساعة

يوضح الشكل ٤ — ١ (أ) ساعة موجه تربيعية اميغاهرتـز . في كل 500 ns (٥٠٠ × ١٠ —٩ ثانية) . يتم انعكاس إشارة الساعة .

يوضح الشكل ٤ — ١ (ب) سلسلة نبضات ٢ ميغاهرتز . في كل 500 ns توجد نبضة موجبة تدوم لمدة ١٠ ns . في كلا هاتين الحالتين تتكرر العملية إلى مالا نهاية .

يمكن أن تصدر الإشارات الساعية بعدة طرق — يوضح الفصل الخامس بعضاً منها .

تعمل مجموعة الـ Sequential logic على إما الطرف الصاعد أو الموجب (السهم المتجه للأعلى المبين في الشكل ٤ — ١) أو على الطرف النازل أو السالب (السهم المتجه للأسفل المبين في الشكل ٤ — ١) للساعة . إن الدارة التكاملية (IC) التي تعمل على الطرف الصاعد للساعة يقال بأنها تطلق أو تقيد على الطرف الصاعد . توجد بعض الاصطلاحات التي سنمر عليها فيما يخص الساعات وهي :

التردد : ويقصد به السرعة التي تتغير فيها الساعة من حالة الارتفاع إلى الإنخفاض إلى الارتفاع مرة أخرى . ويقاس التردد بعدد الدورات في الثانية (هرتز أو Hz مختصره) .

فترة التذبذب : وهو الوقت الذي تستغرقه الساعة للتحول من حالة الارتفاع إلى الانخفاض إلى الارتفاع مرة أخرى . وتقاس بالثانية .

يوضح الجدول ٤ — ١ لائحة بالترددات والفترات باستخدام رموز المكون الصلب (الهاردوير) الشائعة .

فترة التذبذب	التردد
1 s	1 Hz
100 ms (10^{-1} s)	10 Hz
10 ms (10^{-2} s)	100 Hz
1 ms (10^{-3} s)	1 kHz (10^{3} Hz)
100 us (10^{-4} s)	10 kHz (10^{4} Hz)
10 us (10^{-5} s)	100 kHz (10^{5} Hz)
1 us (10^{-6} s)	1 MHz (10^{6} Hz)
100 ns (10^{-7} s)	10 MHz (10^{7} Hz)
10 ns (10^{-8} s)	100 MHz (10^{8} Hz)
1 ns (10^{-9} s)	1 GHz (10^{9} Hz)
100 ps (10^{-10} s)	10 GHz (10^{10} Hz)

الجدول ٤ ـ ١ ـ لائحة بالترددات والفترات

ملاحظة :

m مختصر ويلي (١٠ــ ٣)
μ مختصر ميكرو (١٠ــ ٦)
n مختصر نانو (١٠ــ ٩)
p مختصر بيكو (١٠ــ ١٢)

K مختصر كيلو (١٠٣)
M مختصر ميغا (١٠٦)
G مختصر جيجا (١٠٩)

٤ ــ ٢ ــ *ثنائي الاستقرار J — K*

هذا عبارة عن عنصر تخزين بسيط له أربع وظائف :

١ ــ K = 1, J = 1

إذا كان الخرج 1 (عالياً) ، فإنه عندما ينطلق دخل الساعة فإن الخرج يتغير إلى الصفر .

وإذا كان الخرج صفراً ، فإنه سيتغير إلى ١ .

٢ ــ K = 1, J = 0

عندما تنطلق الساعة فإن الخرج يتغير إلى الصفر .

٣ ــ K = 0, J = 1

عندما تنطلق الساعة فإن الخرج يتغير إلى ١ .

٤ ــ K = 0, J = 0

عندما تنطلق الساعة ، فإن الخرج يبقى كما كان عليه .

إن جدول الصحة للنطاط J — K مبين في الجدول ٤ — ٢ وتمثيل الدارة في الشكل ٤ — ٢ .

Q هي الخرج غير المعكوس .

$\bar{Q}$ هي الخرج المعكوس .

يوضح دخل الساعة بأن النطاط قد تم إنطلاقه أو إيقافه على الطرف الصاعد من إشارة الساعة . يوضح الشكل ٤ — ٣ تمثيل دارة نطاط الذي يثبت عند الطرف النازل من إشارة الساعة .

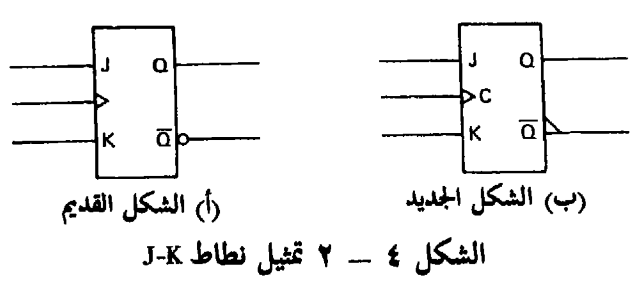
J	K	Q الخرج بعد انطلاق الساعة
0	0	Qn—1
0	1	0
1	0	1
1	1	$\bar{Q}$n—1

الجدول ٤ — ٢ — جدول الصحة للنطاط K — J

ملاحظة : Qn — 1 هي الخرج Q قبل إشارة الساعة .

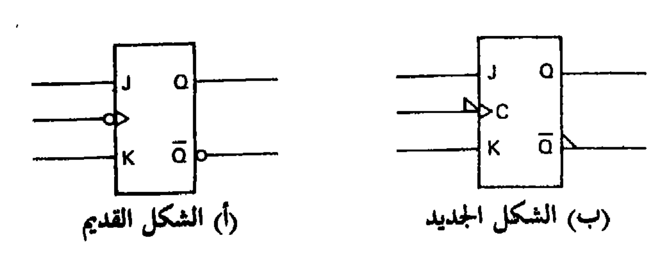
تفسير الرمز المنطقي الجديد

الرمز مفسر نفسه بنفسه باستثناء C < . فعندما يحتوي المدخل على إشارة > فإن هذا عبارة عن دخل ساعي (فهو يتضمن الحرف C أيضاً للدلالة على أنه دخل تحكم) .



(أ) الشكل القديم (ب) الشكل الجديد

الشكل ٤ — ٢ تمثيل نطاط J-K



(أ) الشكل القديم

(ب) الشكل الجديد

الشكل ٤ — ٣ — نطاط K — J يثبت عند الطرف النازل من الساعة

إذن لتخزين دارة منطقية 1 في ثنائي الاستقرار K — J فإنك يجب أن تقوم بما يلي :

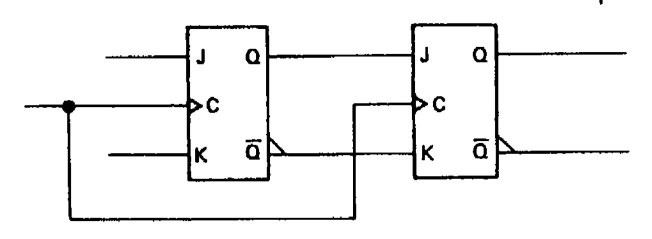
ضبط $K = 0, J = 1$.

وإطلاق دخل الساعة وضبط $K = 0, J = 0$.

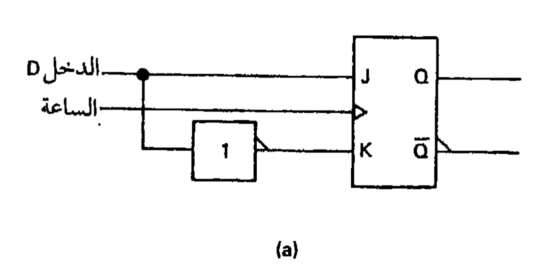
وهذا سوف يخزن ١ على الخرج Q . في اصطلاحات الجهاز سوف تقول بأن الدارة المنطقية ١ قد ثبتت بسقاطة .

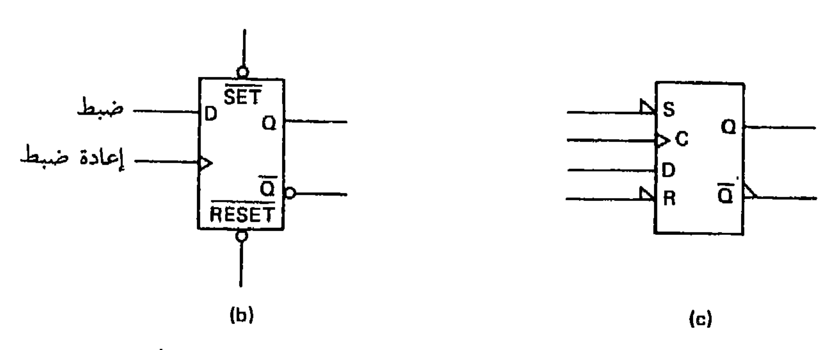
٤ — ٣ — *ثنائي الاستقرار من النوع D*

يمكن أن يستخدم ثنائي الاستقرار K — J كوسيلة تخزين بجمع اثنين أو أكثر معاً (انظر الشكل ٤ — ٤) . على أية حال من المناسب أن يكون لدينا جهاز يثبت بسقاطة مهما كانت حالة دخله بالنسبة لخرجه عند استقبال وصلة الساعة . وهذا يمكن أن يتم باستخدام ثنائي الاستقرار K — J كما هو مبين في الشكل ٤ — ٥ . ويتضمن الشكل ٤ — ٥ أيضاً تمثيل دارة ثنائي الاستقرارمن النوع D . الإشارات الزائدة يتم شرحها في جدول الصحة ٤ — ٣ .



الشكل ٤ — ٤ — ثنائيات استقرار K — J مجمعة مع بعض





الشكل ٤ ـ ٥ ـ (أ) ثنائي استقرار النوع D مشكل باستخدام الثنائي الاستقرار J — K . (ب) شكل قديم لتمثيل النوع D (جـ) شكل جديد لتمثيل النوع D

تفسير أو شرح الرمز المنطقي الجديد

يحتوي المدخلان R, S على مثلثات تدل على أنها منخفضة الفعالية ، أي بوجود الصفر على المدخل S سوف يجعل S فعالاً ، أي سوف يتم ضبط الثنائي .

لنلاحظ بأن $\bar{Q}$ لها مثلث عند المخرج . وهذا يبين مرة أخرى بأنها منخفضة الفعالية .

المداخل				الخارج	
ضبط (S)	إعادة ضبط (R)	الساعة (C)	D	Qn	$\overline{Qn}$
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	X	Qn−1	$\overline{Qn-1}$

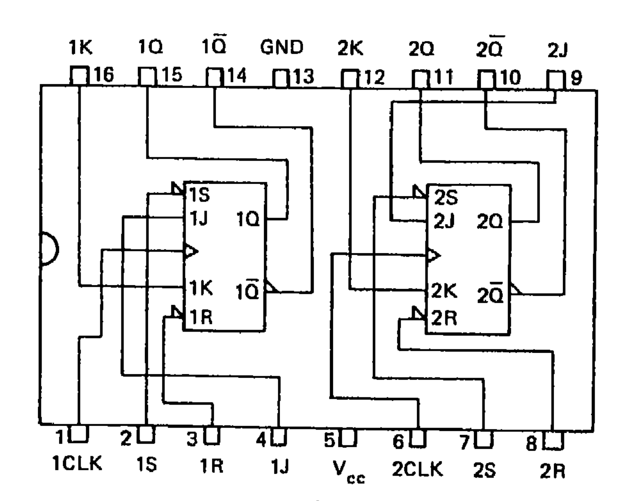
الجدول ٤ ـ ٣ ـ جدول الصحة للنطاط من النوع D

ملاحظة : X تعني « لا تهتم » الخرج لا يعتمد على هذا المدخل .
تمثل الطرف الصاعد من نبضة الساعة .

كما يتضح لنا من الجدول ٤ ــ ٣ فإن الإنخفاض عند المدخل S يجعل Q ترتفع فوراً والإنخفاض عند المدخل R يجعل Q تنخفض مباشرة . وإذا كان كلاً من R, S منخفضين فإن الثنائي لا يعرف ماذا يفعل ويمكن أن يكون Q̄n, Qn إما مرتفعين أو منخفضين .

إن ثنائيات الاستقرار J ــ K قد يكون لها مدخلين R, S يعملان بنفس الطريقة .

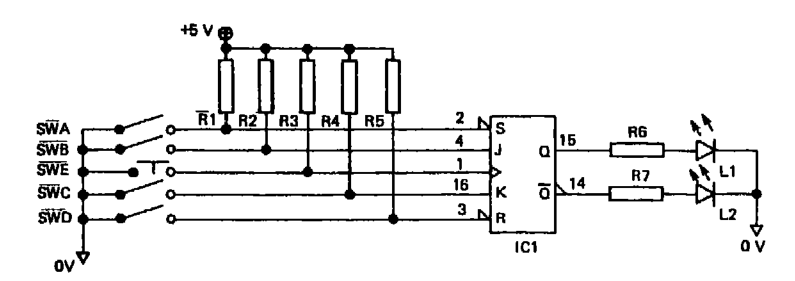
النطاط J ــ K مصنوع بطريقة TTL (٧٤٧٦) ونجده موضحاً في الشكل ٤ ــ ٦ .



الشكل ٤ ــ ٦ ــ مخطط ثنائي الاستقرار J ــ K (٧٤٧٦)

ملاحظة :

القدرة (Vcc) والمحاور الأرضية ليست على المحاور ٨ و١٦ .
يوضح الشكل ٤ ــ ٧ دارة توضح كيف يعمل ثنائي الاستقرار J ــ K .



الشكل ٤ — ٧ — دارة توضح كيفية استخدام ثنائيّ الاستقرار J — K

IC1	7476
SWA—SWD	SPST (أحادية التحويل والقطب) مفاتيح —
SWE	SPST — فعل فوري
R1—R7	— مقاومات ٤,٧ كيلو أوم
L1—L2	— أزرار إضاءة

تمرين

كوِّن الدارة المبينة في الشكل ٤ — ٧ وبرهن على أنها تعمل كما ينبغي .

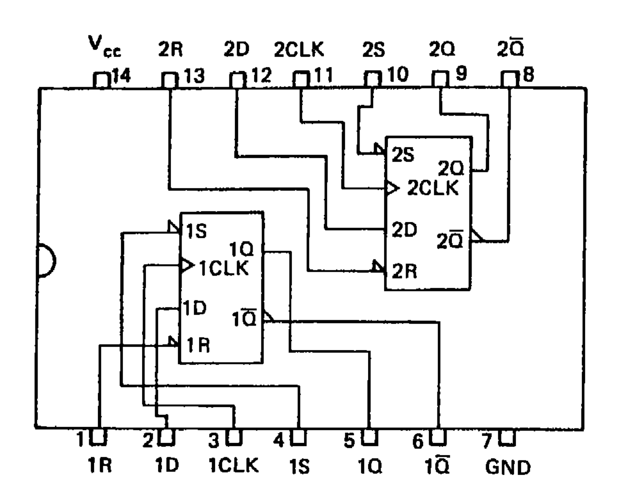
ثنائيّ الاستقرار من الطراز D مصنوع أيضاً بطريقة TTL (٧٤٧٤) ويوضح الشكل ٤ — ٨ ذلك .

تمرين

كوِّن دارة مماثلة لتلك المبينة في الشكل ٤ — ٧ لثنائيّ الاستقرار من النوع D وبرهن على أنها تعمل كما ينبغي .

٤ — ٤ — مسجلات النقل (التحويل)

من المفيد في أغلب الأحيان أن تتم تخزين عدة أرقام من المعلومات . ومن الطرق المستخدمة في ذلك أن يتم تحميل هذه الأرقام في مسجل واحد . يمكن أن يكون هذا المسجل عبارة عن مجموعة من ثنائيات الاستقرار . ومن حين لآخر يلزم نقل هذه الأرقام عبر ثنائيات الاستقرار . وهذا يتطلب جهازاً يطلق عليه اسم مسجل النقل .



الشكل ٤ ـــ ٨ ـــ مخطط ثنائي الاستقرار نوع D (٧٤٧٤)

يوضح الشكل ٤ ـــ ٩ مسجل نقل لأربعة أرقام ، وإن عملية تقدم المعلومات من خلاله مبينة في الجدول ٤ ـــ ٤ . ورمز دارته مبين في الشكل ٤ ـــ ١١ .

ملاحظة : بالنسبة للأجهزة الأكثر تعقيداً ، توجد عدة طرق أخرى لتمثيلها في الدارة . ولا تهمنا الكيفية التي يتم بها تمثيل الجهاز طالما أنك !

١ ـــ تعرف ماهية الجهاز .

٢ ـــ وتعرف وظيفته .

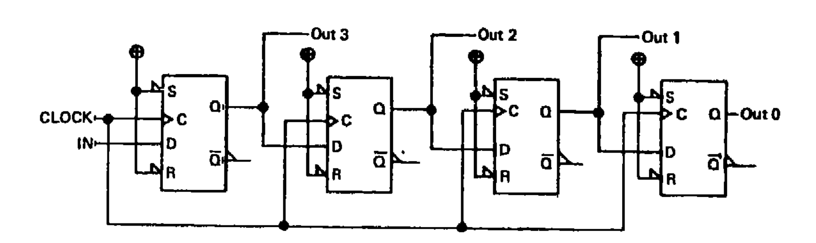
٣ ـــ ويسهل عليك تنفيذه من خلال مخطط دارة (على سبيل المثال جميع خطوط المعلومات تلتحم مع بعضها ،الخ) .

إن الطريقة التي بنياها هي الطريقة التي يفضل إستخدامها . وبإختصار فإن الرموز المختلفة تعني :

١ ـــ الإطار العلوي يمثل علبة التحكم (ويمكن أن تكون علبة التحكم إما في الأعلى أو في الأسفل) .

٢ — R تعني إعادة الضبط المنخفض الفعال .
٣ — C تمثل الدخل الساعي الايجابي المنطلق .
٤ — A تمثل المدخل المتسلسل .
٥ — وتمثل Q1 إلى Q4 المخارج .

يوضح الملحق D الأسباب المنطقية الكامنة وراء الرموز المختلفة لكافة البوابات .



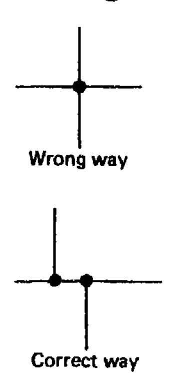
الشكل ٤ — ٩ — مسجل نقل أربعة أرقام عشرية

إن أول شيء يجب أن نلاحظه حول الشكل ٤ — ٩ هو أن المداخل R, S مرتبطان بشكل عال مع بعضها . ومتى تم تحول أحد الخطوط إلى T أو إشارة ⊕ للأعلى فإن ذلك يعني أن الخط متصل (أو مربوط) بـ + ٥ فولط . إن ربط المداخل غير المستخدمة بشكل عال يضمن عدم تأثيرها على عمل الدارة . وهذه تعتبر من القواعد الهامة جداً في التصميم العددي. دائماً يجب أن يتم ربط المداخل غير المستخدمة بشكل عال أو منخفض . ومن المناسب في أغلب الأحيان عند ربط مدخل غير مستخدم بشكل عال أن يتم وصله عبر مقاومة لجهد + ٥ فولط .

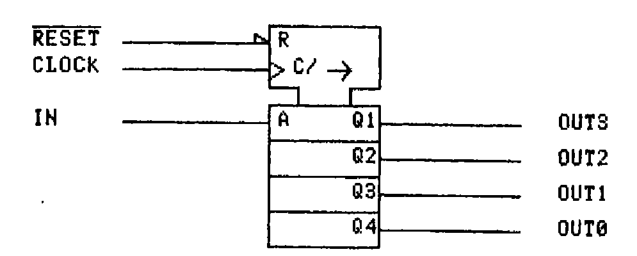
لبيان عملية توصيل بـ صفر فولط (OV) سوف ينته ي إلى الخط بـ ∇ أو T مقلوبة .

ملاحظة أخرى : عند تفرع أحد الخطوط إلى عدة أماكن (كما يفعل خط الساعة) ، فإنه من المفيد في الغالب أن يتم وضع نقطة ممتلئة عند كل موضع اتصال .

وبذلك يتم تمييز الفروع عن خطين متصالبين (متقاطعين) . ملاحظة يمكن أن تنمحي أو تزول النقاط . ولذلك يجب عدم استخدام وصله رباعية بالاتجاهات — وإنما يتم دائماً وضع كما هو مبين في الشكل ٤ — ١٠ .



الشكل ٤ — ١٠ — كيفية وصل خطين معاً



الشكل ٤ — ١١ — رمز الدارة لمسجل نقل أربعة أرقام عشرية

توضح الرمز المنطقي الجديد :

إن الإطار الموجود في الأعلى يمثل علبة التحكم ويتمم بقية الرمز . يمكن لعلب التحكم أن تكون إما في أعلى أو أسفل الإطار الرئيسي .

إن المدخل R يمثل عملية إعادة ضبط منخفضة فعالة (عند الانخفاض يعمل

المدخل R على تحويل Q4 – Q1 إلى الصفر) .

C/⟵ تعني بأن الساعة سوف تجعل الإشارات تنتقل إلى اليمين (Q1 إلى Q2 ، Q2 إلى Q3 إلخ) .

(C/⟵ سوف تحرك الإشارات بالإتجاه المعاكس) .

	IN	OUT3	OUT2	OUT1	OUT0
الحالة الأولية	1	0	1	0	1
بعد الساعة الأولى	0	1	0	1	0
بعد الساعة الثانية	1	0	1	0	1
بعد الساعة الثالثة	1	1	0	1	0
بعد الساعة الرابعة	0	1	1	0	1
بعد الساعة الخامسة	0	0	1	1	0
بعد الساعة السادسة	0	0	0	1	1
بعد الساعة السابعة	0	0	0	0	1
بعد الساعة الثامنة	0	0	0	0	0

الجدول ٤ – ٤ تقدم المعلومات غير مسجل نقل أربعة أرقام

يعرف هذا النوع من مسجل النقل باسم مسجل النقل Serial In, Parallel Out (SIPO) . في حال توفر المخرج الأخير فقط فإن هذا المسجل سيكون Serial In, Serial Out (SISO) . أما النوعان الآخران فهما Parallel In, Serial Out, Parallel In, Parallel In, Parallel Out (PIPO) (PISO) . يوضح الشكل ٤ – ١٢ مسجل

الشكل ٤ – ١٢ – مسجل نقل نوع PISO لثمانية أرقام عشرية (٧٤١٦٥)

نقل من نوع PISO ثمانية أرقام عشرية ويوضح الجدول ٤ ـــ ٥ تقدم المعلومات فيه .

هناك قاعدة أخرى هامة وذلك بأن يتم جعل المداخل الخاصة بجهاز ما تذهب إلى يسار الجهاز وتخرج المخارج من الجهة اليمنى وإشارات التحكم داخل/ خارج علبة التحكم . وهذا يساعد في فهم مخططات الدارة .

تفسير أو توضيح الرمز المنطقي الجديد :

SRG8 تشير إلى أن هذا عبارة عن مسجل نقل لثمانية أرقام عشرية .

المدخل الذي ينقسم إلى G2, G1 يمكن قراءته على النحو التالي :

عندما يكون عالياً فإن SRG يكون بوضعية النقل .

وعندما يكون منخفضاً فإن SRG يكون بوضعية التحميل .

إن الإشارات CLK, CLK INH لها قمية ١ على مداخلها . وهذا يعني بأنها تكون فعالة فقط عندما تكون إشارة التحكم 1(G1) فعالة أي $SH/\overline{LD}$ عالية . وهي لها إشارة ⩾١ في إطار مع اشارة > عند المخرج . وهذا يعني بأن إشارة CLK INH تتبادل مع إشارة CLK لإصدار الساعة لـ SRG .

أما ⟵ /C3فتدل على أن مسجل النقل سينتقل إلى ا ليمين .

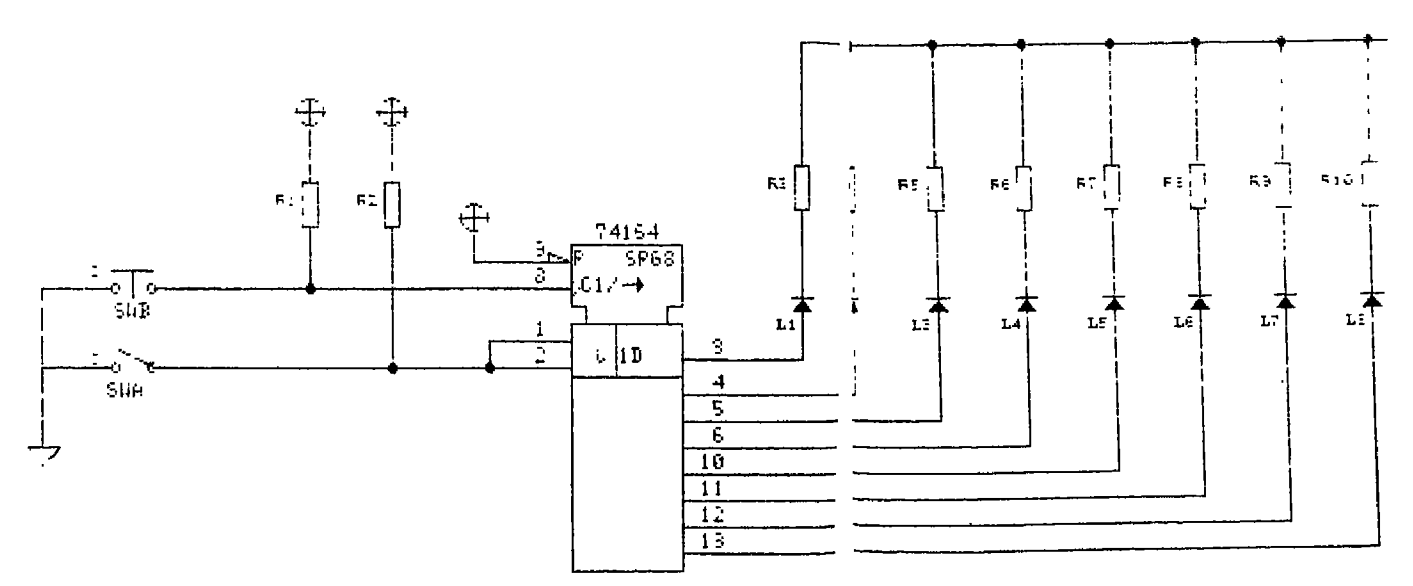
ووجود 3D على المدخل المتسلسل تعني بأنها تكون فعالة فقط عندما تكون إشارة التحكم 3(C3) فعالة ، أي عندما يأتي نبضه ساعية عبرها . وهذا سوف يجعل المدخل المتسلسل ينتقل إلى QA .

إن وجود 2D على المداخل الأخرى يعني بأنها تكون فعالة فقط عندما تكون إشارة التحكم 2(C2) فعالة ، أي عندما تكون $SH/\overline{LD}$ منخفضة .

CLOCK	LOAD	INA	INB	INC	IND	INE	INF	ING	INH	QH
X	1	a	b	c	d	e	f	g	h	h
↑	0	0	a	b	c	d	e	f	g	h
↑	0	0	0	a	b	c	d	e	f	g
↑	0	0	0	0	a	b	c	d	e	f
↑	0	0	0	0	0	a	b	c	d	e
↑	0	0	0	0	0	0	a	b	c	d
↑	0	0	0	0	0	0	0	a	b	c
↑	0	0	0	0	0	0	0	0	a	b
↑	0	0	0	0	0	0	0	0	0	a
↑	0	0	0	0	0	0	0	0	0	0

الجدول ٤ — ٥ — تقدم المعلومات عبر المسجل PISO لثمانية أرقام عشرية

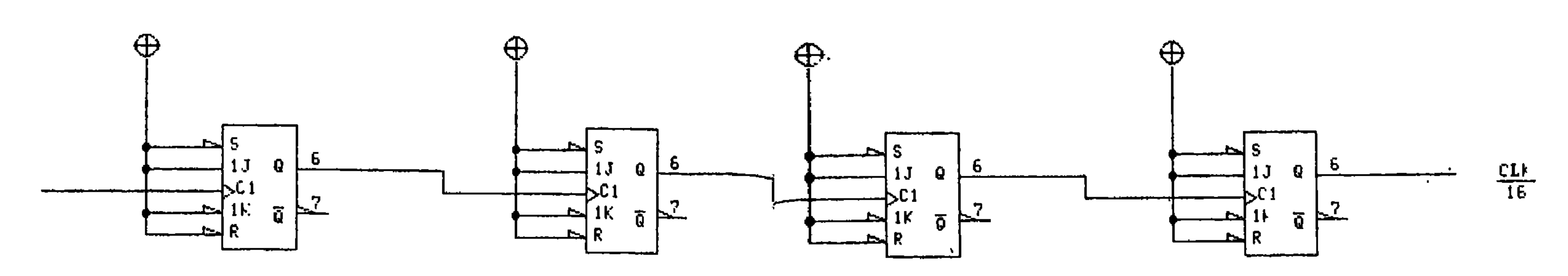
يتم صنع مسجل PISO لثمانية أرقام عشرية بطريقة TTL (٧٤١٦٤) وهو مبين في الشكل ٤ — ١٣ .



الشكل ٤ — ١٤ — دارة لتوضيح استخدام مسجل النقل PISO

الشكل ٤ — ١٣ — مسجل نقل PISO لثمانية أرقام عشرية (٧٤١٦٤)

دارة الإختبار المسجل PISO في الشكل ٤ — ١٤ .



الشكل ٤ — ١٥ — عداد ثنائي لأربعة أرقام عشرية

SWA مفتاح SPS T

SWB مفتاح SPST آني الفعل .

R1 — R10 مقاومات ٤,٧ كيلواوم .

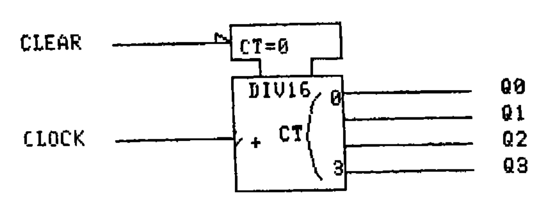
L1 — L8 ديودات ضوئية .

تمرين

ركب الدارة في الشكل ٤ — ١٤ وبرهن على أنها تعمل كما ينبغي لها .

٤ — ٥ — *العدادات اللاتزامنية*

العدادات ، كما يتضح من التسمية ، هي عبارة عن وسائل يتم بها العد الثنائي . ولإنتاج عداد ، فإنه يتم تجميع ثنائيات الاستقرار فقط (عادة J — K) . يوضح الشكل ٤ — ١٥ عداداً لأربعة أرقام عشرية .



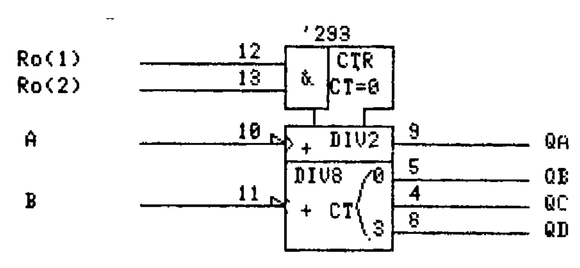
الشكل ٤ — ١٦ — رمز دارة لعداد ثنائي لأربعة أرقام عشرية

في كل مرة يشعر فيها ثنائي الاستقرار بطرف صاعد على مدخله الساعي فإنه سوف يغير الحالة . يوضح الجدول ٤ — ٦ تسلسل العد .

Count (no. of clock pulses)	*Q3*	*Q2*	*Q1*	*Q0*	*Decimal equivalent*
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0
17	0	0	0	1	1
18	0	0	1	0	2

الجدول ٤ — ٦ — تسلسل العد لعداد ثنائي لأربعة أرقام عشرية

كما يتضح لنا من الجدول ٤ — ٦ نجد أن الجدول دوري . ولزيادة العد إلى ٣٢ ، فإنه يتم فقط إضافة ثنائي استقرار آخر إن رمز الدارة لعداد ثنائي لأربعة أرقام عشرية نجده موضحاً في الشكل ٤ — ١٦ .



الشكل ٤ ــ ١٧ ــ الرمز الخاص بعداد ثنائي لا تزامني ٧٤٢٩٣

يوضح الشكل ٤ ــ ١٧ عداداً ثنائياً 74293TTL .

توضيح (تفسير) الرمز المنطقي الجديد

CTR تعني بأن هذا عداد .

CT = O تعني بأن العداد سوف يتم إعادة ضبطه على الصفر إذا كان ,RO (2) RO(1) كلاهما بقيمة ١ (لاحظ الرمز &) .

DIV2 تعني بأن هذا القسم من العداد هو ÷ 2 .

+ > تعني بأن كل نبضة ساعية سوف تجعل العداد يزداد .

DIV8 تعني بأن هذا القسم من العداد هو ÷ 8 .

CT {0, 2} تعطي الرقم الأقل في العداد والرقم الأكثر أهمية .

لاحظ بأن المدخل الساعي هو منخفض فعال .

ومن ثم لتركيب عداد 16 ÷ فإنه من الضروري أن يتم وصل QA بالمدخل B .RO (1) ,RO(2) عبارة عن مفاتيح إعادة ضبط وسوف يحدثان عملية إعادة ضبط في حال كون الاثنين Logie 1 .

وهكذا فإن العداد 16 ÷ سوف يكون المدخل A عبارة عن مدخله الساعي وستكون QA, QB, QC, QO مخارجاً له .

تمرين

صمم وركب واختبر دارة لتوضيح استخدام العداد الثنائي اللاتزامني ٧٤٢٩٣ باعتباره كعداد 16 ÷ .

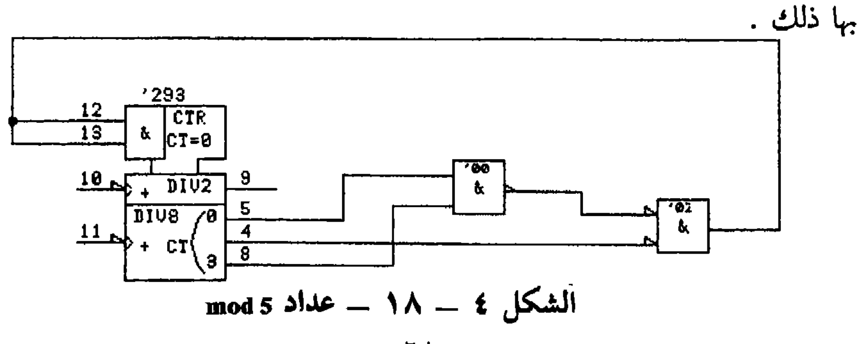
ليست جميع استخدامات العدادات تستخدم فيها النظام الثنائي — وإنما بعض العدادات تكون دورية تعتمد على العد العشري (عداد عشري) وعدادات أخرى تعتمد العد الاثني عشري ، الخ . إن العداد الذي يكون دورياً بنظام تعداد n يعرف باسم modulo أو mod أو العداد n . وهكذا فإن العداد المبين في الشكل ٤ — ١٥ هو عداد mod 16 .

لانتاج دارة لعداد غير ثنائي فإن أول شيء يتم القيام به هو رسم جدول العد للعداد . فبالنسبة لعداد mod 5 يوضح لنا الجدول ٤ — ٧ جدول العد الممكن .

Count	*Q2*	*Q1*	*Q0*
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
0	0	0	0

الجدول ٤ — ٧ — جدول العد لعداد mod 5

كما رأينا في الجدول ٤ — ٧ عندما كانت Q2 = 1 ، فإنه عندئذ عند النبضة الساعية الثانية . يجب أن يتم منع Q0 من التغير إلى ١ ويجب أن يتم ضبط Q2 على الصفر . توضح الدارة المبينة في الشكل ٤ — ١٨ إحدى الطرق التي يمكن أن يتم بها ذلك .



الشكل ٤ — ١٨ — عداد mod 5

تمرين

ارسم دارة لعداد (عشري) mod 10 ، ركبها واختبرها .

٤ ـ ٦ ـ العدادات التزامنية

حتى الآن لقد كانت جميع العدادات المبينة كلها لا تزامنية ، أي أن النبضة الساعية تنتقل من ثنائي استقرار لآخر .

إن إعاقة الإنتشار النموذجي بين مدخل الساعة والمخرج Q تقدر بـ ٢٥ ns . وهذا يعني أنه بالنسبة لعداد أربعة أرقام عشرية يبلغ معدل الإعاقة بين مدخل الساعة والمخرج Q النهائي ١٠٠ ns . ومن ثم فإن السرعة التي يستطيع العدادان يعمل بموجبها تكون محدودة بـ 1/100 ns = ١٠ ميغا هرتز .

هناك نوع آخر من العدادات وهو العداد التزامني الذي يكون مدخله الساعي مشتركاً لجميع ثنائيات الإستقرار . وهذا يعني بأن هذا العداد أسرع وذلك لأن الطريق الأطول الذي ستقطعه الإشارة قد تم إختصاره (إعاقات الإنتشار مبينة في الفصل ٦) .

يوضح الشكل ٤ ــ ١٩ عداداً تزامنياً لأربعة أرقام عشرية (74LS161) .

LS161
CLR 1 CT=0
LOAD 9 M1 CTRDIV16
M2
ENT 10 G3 3CT=15 15 RCO
ENP 7 G4
CLK 2 C5/2,3,4+
A 3 1,5D [1] 14 QA
B 4 [2] 13 QB
C 5 [4] 12 QC
D 6 [8] 11 QD

الشكل ٤ ــ ١٩ ــ رمز الدارة لعداد ثنائي تزامني 74LS161

توضيح الرمز المنطقي الجديد

CTRDIV16 تعني أن هـذا عبـارة عـن عـداد حالـه ست عشري (16 State counter) .

CT = O تعني أنه عندما يكون المدخل CLR (منخفضاً) فعالاً فإن العداد عندئذ سيتم إعادة ضبطه إلى الصفر .

يمتد مدخل التحميل LOAD إلى M2, M1 . ومن ثم فإن إشارة التحكـم ١ تكون فعالة عندما يكون الحمل منخفضاً وتكون إشارة التحكم ٢ فعالة عندما يكون التحميل عالياً .

ENP, ENT تشغلان إشارات التحكم ٣ و٤ على التوالي .

CLK ستشغل إشارة التحكم ٥ وستزيد العداد إذا كانت إشارات التحكم ٢ و٣ و٤ فعالة .

1,5D تعني أن المدخل سيتم تحميله إلى العداد إذا كانت إشارات التحكم ١ و٥ فعالة .

[1], [2], [4], [8] تبين الأرقام العشرية الأقل والأرقام الأكثر أهمية .

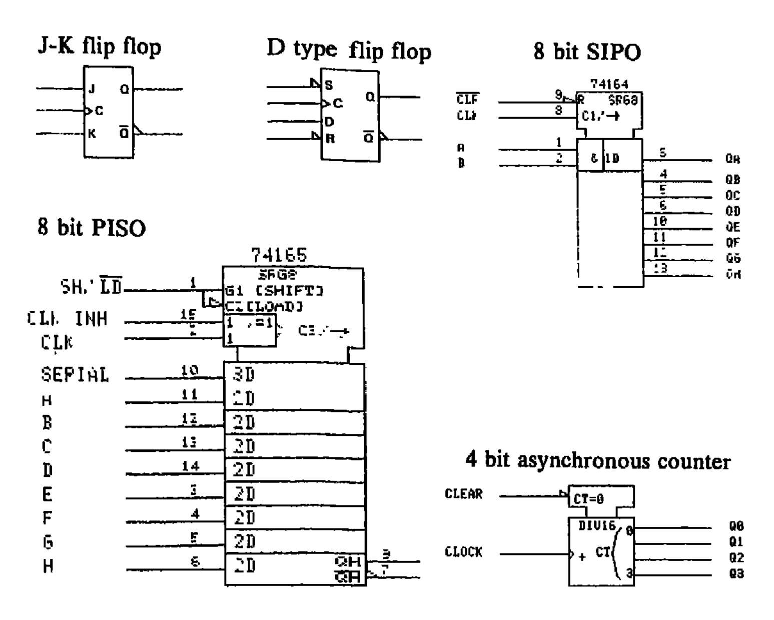
٤ ـ ٧ ـ الخاتمة

إن الأجهزة المبينة في هذا الفصل تعتبر كأجزاء مكملة للعديد من التصاميم . إن ثنائيّ الاستقرار من النوع D بشكل خاص سوف يظهر في كل تصميم تقريباً يمكن أن تمر به أو تقوم به بنفسك .

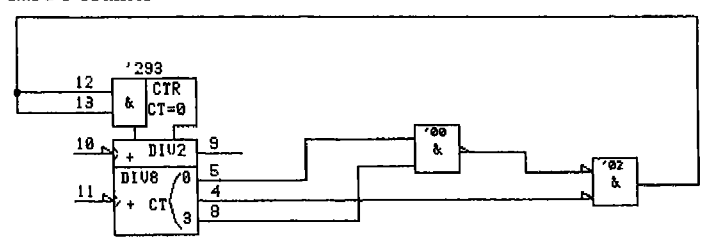
٤ ـ ٨ ـ ملخص

إن الأجهزة التي يشتمل عليها هذا الفصل جميعها تعتمد المنطق التتابعي ، أي أن مخارجها تعتمد من جهة على الحالات السابقة . وهي مدرجة أدناه ، مع رموز داراتها .

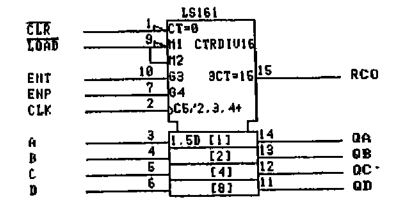




Mod 5 counter



4 bit synchronous counter



الفصل ٥

قطع مشابهة

يبحث هذا الفصل في بعض الوسائل الأساسية المماثلة المتوفرة . تتراوح هذه الوسائل من الترانزيستورات إلى منابع القدرة ، والتي يتضمنها هذا الفصل هي :

المقاومات ، المكثفات ، الديودات ، البلورات الكريستالية ، الريليهات ، الترانزيستورات ، أجهزة الإنذار المسموعة ، ومنابع القدرة .

يمكن وصل هذه القطع مع بعضها بطريقتين : على التسلسل وعلى التوازي . فبالنسبة للقطع الموصولة على التسلسل فإن لها توصيلة واحدة مشتركة (أي إن نهاية إحدى القطع موصولة ببداية الأخرى) . بينما نجد أن القطع الموصولة على التوازي يكون طرفاها متصلين معاً . يوضح الشكل ٥ ـ ١ التوصيلات المتسلسلة والمتوازية .

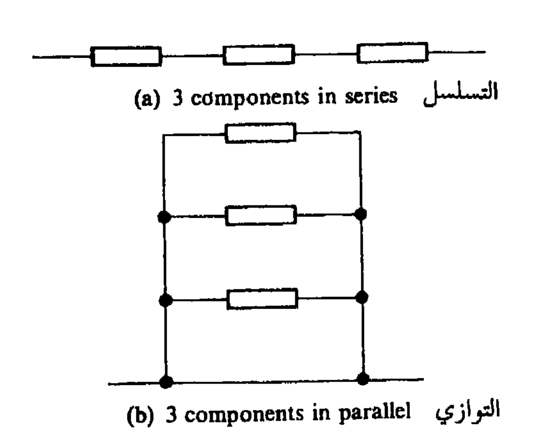
٥ ـ ١ ـ المقاومات

المقاومة عبارة عن وسيلة متميزة لها خاصية مقاومة سريان التيار المار عبرها . تقاس خاصية المقاومة بالأوم (Ω) . وترتبط المقاومة بالتوتر (V) والتيار (I) من خلال المعادلة التالية $V = IR$ ، حيث V تمثل التوتر مقدراً بالفولط (V) :

I = التيار مقدراً بالأمبير (A)

R = المقاومة مقدرة بالأوم (Ω) .

يوضح الشكل ٥ — ٢ رموز الدارة لمقاومة . إن رمز الإطار هو الرمز المصدق من قبل معهد المقاييس البريطانية BSI مع العلم بأن رمز الـ Squiggle هو الأكثر استخداماً .



(a) 3 components in series التسلسل

(b) 3 components in parallel التوازي

الشكل ٥ — ١ — توصيلات على التسلسل وعلى التوازي



2K2

الشكل ٥ — ٢ — رمزان لمقاومة

تمثل 2K2 التي نراها في الشكل ٥ — ٢ قيمة المقاومة (٢٢٠٠ أوم) . قيم المقاومات مبنية كما يلي :

القيمة مقدرة بالأوم	ما يمثلها
٤	4R
٩٩٩	999R
١٠٠٠	1K0

3K3	٣٣٠٠
1M0	١,٠٠٠,٠٠٠

انظر الملحق E للإطلاع على لائحة بقيم المقاومات الشائعة الإستخدام .

عندما يتم وصل مقاومات على التسلسل ، فإنه يتم جمع قيم مقاومتها مع بعضها للحصول على المقاومة الإجمالية . وهذا لأن الطريق الوحيد لمرور التيار هـو عبر المقاومات الواحدة تلو الأخرى .

وعندما يتم وصل المقاومات على التوازي فإنه يتم جمع معكوس قيم هذه المقاومات مع بعضها للحصول على معكوس القيمة الإجمالية للمقاومات . وهذا لأن التيار يمكنه أن يسري من خلال مقاومة واحدة أو الأخرى .

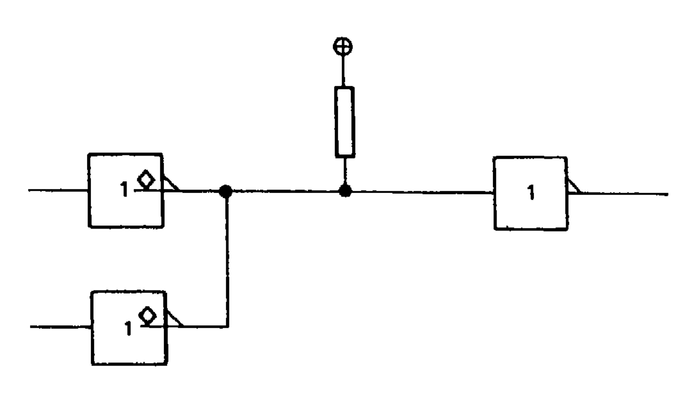
إذن بالنسبة لمقاومتين قيمة كل منها R2, R1 تكون :
المقاومة الإجمالية للتوصيل على التسلسل = $R1 + R2$.
والمقاومة الإجمالية للتوصيل على التوازي = $1/(1/R1 + 1/R2)$.

في التصميم العددي . نجد أن الاستخدامات الرئيسية هي :

١ ـــ تحديد التيار المار عبر جهاز ما .
٢ ـــ ضمان خط معين بأن يكون عالياً أو منخفضاً .
٣ ـــ تغيير مستويات الجهد .
٤ ـــ المضاءلة المتسلسلة (كما على سبيل المثال بالنسبة لدارات الذاكرة MOS) .

مثال

تطبيق OR المتصلة بالأسلاك .



الشكل ٥ ـ ٣ ـ تطبيق OR المتصلة بالأسلاك

يجب أن تحتوي جميع البوابات على مخارج مجمعات مفتوحة . يجب أن تكون بوابة المجمع المفتوحة ذات مخرج مرتبط دائماً بـ + ٥ فولط عن طريق مقاومة .

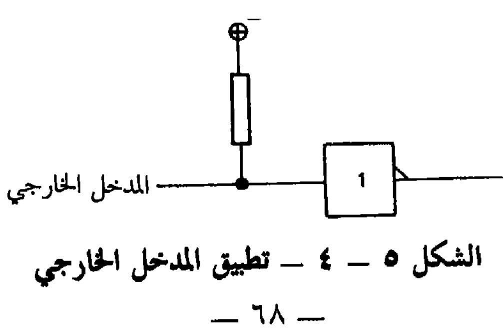
من مزايا البوابات المجمعة المفتوحة هي إمكانية توصيلها مع بعضها بشكل OR سلكي .

تتميز مخارج المجمعات المفتوحة بشكل منحرف كالمعين مع خط تحتها .

مثال

تطبيق المدخل الخارجي .

إذا لم يكن المدخل الخارجي موصولاً فإن المقاومة تضمن بأن يكون المدخل إلى بوابة NOT منطقياً أي Logic 1 . في حال عدم وجود الوقوف المفاجىء للمقاومة فإن المدخل إلى البوابة NOT سوف يقوم أي أنه يمكن أن يكون إما Logic 0 أو Logic 1 .

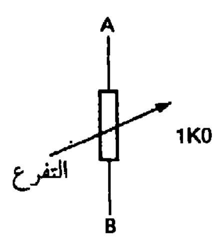


الشكل ٥ ـ ٤ ـ تطبيق المدخل الخارجي

مثال

إن دارة تكاملية لذاكرة MOS لها سعة تقدر بحوالي ٧ بيكوفاراد لكل خط . عندما تكون عدة دارات تكاملية موصولة مع بعضها فإن السعة الكلية تصبح وافرة بشكل كاف لإبطاء عمل الدارة إلى حد كبير . يمكن تخفيف هذه المشكلة بوضع مقاومة على التسلسل مع كل خط . للإطلاع على سبب حدوث ذلك فإنه يتم الرجوع إلى كتاب عن نظرية خطوط النقل .

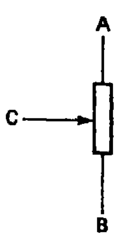
توجد مقاومات متغيرة وتتميز بسلسلة مقاومة يمكن تغييرها بطريقة ميكانيكية كما على سبيل المثال في عملية التفرع . يوضح الشكل ٥ — ٥ رمز الدارة الخاصة بمقاومة متغيرة .



الشكل ٥ — ٥ — رمز دارة مقاومة متغيرة

إن قيمة المقاومة بين B, A يمكن أن تتغير بتحريك التفريعة . عند أحد طرفي السلسلة سوف تكون قيمة المقاومة 1K0 وستكون عند الطرف الآخر OR .

من الأشكال الأخرى للمقاومة المتغيرة ما يعرف بمقياس فرق الجهد الذي يستخدم لإنتاج توتر أو جهد متغير . يوضح الشكل ٥ — ٦ رمز دارته .



الشكل ٥ — ٦ — رمز دارة مقياس فرق جهد

في حال وصل A بـ 5V + وكانت B موصولة بـ 0V فإن الخرج عند
أن يتراوح من 0V إلى 5V + ، حيث يتعلق الجهد بموضع التفريعة .

للحصول على مزيد من المعلومات بخصوص كيفية إمكانية استخدام المق
في الدارات العددية ، فإن القارىء يجب أن يلجأ إلى بعض كتب الإلكت
الأساسية .

٥ ـ ٢ ـ المكثفات

المكثف عبارة عن وسيلة متميزة بخاصية مقاومة أي تغير في الجهد المار
تقاس هذه الخاصية بالفاراد (F) فالمكثف الذي قيمته ١ فاراد كبير جداً
معظم المكثفات المستخدمة في التصميم العددي تقع ضمن المجال المتراوح
بيكوفاراد إلى ٢٢٠ ميكروفاراد . يقوم المكثف بمقاومة تغير الجهد بتخزين
كهربائية .

توجد أربعة أنواع رئيسية من المكثفات المستخدمة في التصميم العددي
الالكتروليتية ، والتنتالية ، والسيراميكية ، والبوليستيرية .

المكثفات الالكتروليتية والتنتالية تكون مستقطبة ، أي أنه يهمنا طريقة تو
(فالطرف الموجب من المكثف والمسمى بالأنود يجب أن يكون موصولاً
الأكثر إيجابية من الدارة) .

اما المكثفات السيراميكية والبوليستيرية فهي غير مستقطبة ومن ثم ليس لهـ
موجب أو سالب .

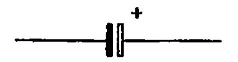
ملاحظة : في حال وصل مكثف مستقطب بطريقة خاطئة فإنه سوف يت

يوضح الشكل ٥ ـ ٧ رموز دارات المكثفات .

إن إشارة الزائد (+) على المكثفات الالكتروليتية لا تكون دائماً موجـ
مخططات الدارات . وكل ما يلزم هو الإطار الأبيض والإطار الأسود للتمـ

الانود (الطرف الموجب) والكاثود (الطرف السالب) .

(a) Non polarised capacitor



(b) Polarised capacitor

الشكل ٥ ــ ٧ ــ رموز دارة المكثفات

تستخدم المكثفات بشكل رئيسي في التصميم العددي لتنظيم منبع القدرة وخطوط التوتر (في حال حدوث نتوء على الخطوط الرئيسية فإن المكثف سوف يخمده) . في العادة سيكون للدارة مكثف الكتروليتي قيمته حوالي ١٠٠ ميكروفاراد بجوار منبع القدرة . ومكثفات غير مستقطبة قيمتها حوالي ٠,١ ميكروفاراد بجانب الدارات التكاملية . وفي العادة يكفي مكثف واحد لأربع دارات تكاملية .

فيما يلي نقدم مجال قيم الأنواع المختلفة من المكثفات :

المكثف الالكتروليتي ١٠٠ نانوفاراد ــ ١٠ ميلي فاراد
المكثف التنتالمي ١ ميكروفاراد ــ ٢ ميكروفاراد
المكثف البوليستري ١ نانوفاراد ــ ٢ ميكرو فاراد
المكثف السيراميكي ٢ بيكوفاراد ــ ٢٢٠ نانوفاراد

عند توصيل المكثفات على التسلسل فإنه يتم جمع القيم العكسية للسعات مع بعضها للحصول على القيمة العكسية للسعة الكلية .

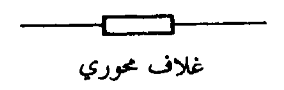
وعند توصيل المكثفات على التوازي فإنه يتم جمع السعات مع بعضها للحصول على السعة الكلية .

ملاحظة : تعتبر هذه هي الشكل المعاكس للمقاومات . وهذا بسبب أن المكثف

يمكن اعتباره كخزان للشحنة .

تأتي المكثفات ضمن غلافين رئيسيين — محوري ونصف قطري . وهذين نجدهما موضحين في الشكل ٥ — ٨ .

لا يوجد فرق كهربائي بين الغلافين — ومن ثم فإن المكثف ٢٢ ميكروفاراد ضمن غلاف محوري سيعمل بنفس الشكل تماماً الذي يؤديه مكثف ٢٢ ميكروفاراد ضمن غلاف نصف قطري .



غلاف محوري

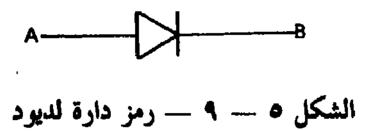


غلاف نصف قطري

الشكل ٥ — ٨ — غلاف محوري ونصف قطري

٥ — ٣ — *الديودات*

الديود عبارة عن وسيلة متميزة تسمح للتيار بالمرور باتجاه واحد فقط عبره . يوضح الشكل ٥ — ٩ رمز الدارة للديود .



الشكل ٥ — ٩ — رمز دارة لديود

إذا كانت A أكثر إيجابية من B فإن التيار عندئذ سيمر عبر الديود . وإذا كانت B أكثر إيجابية من A فإنه لن يمر أي تيار .

تتميز الديودات بهبوط جهد يترافق معها . في حال مرور تيار من خلال ديود

فإن حوالي ٠,٧ فولط تقريباً سوف تهبط عبر الديود .

ومن ثم فإن هناك طريقة أخرى للنظر إلى الديود وهي :

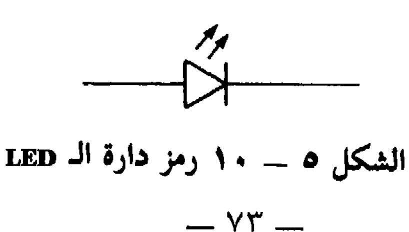
إذا كانت A أكثر إيجابية من B فإن الديود سيجعل B لها قيمة توتر عند A — 0.7V .

وإذا كانت B أكثر إيجابية من A فإن الديود سيكون شبيهاً بحلقة اتصال مقطوعة (النهايات غير موصولة) .

ليست الديودات وسائل تامة وبالتالي فإنها لا تعمل تماماً مثل ما تم بيانه . على أية حال ، وبالنسبة لأغراض التصميم العددي ، يمكن افتراض أو اعتبار الديودات على أنها تعمل بشكل تام كما تم بيانه آنفاً . أما بالنسبة للتفاصيل حول نقائص الديودات فإنها لاتدخل ضمن مجال البحث في هذا الكتاب وإنما يمكن أن نجدها في كتب الإلكترونيات الأساسية الأخرى .

تستخدم الديودات بشكل رئيسي في منابع القدرة ولضمان عدم كون مداخل التوتر إلى البوابات خارج المجالات المحددة (مثلاً أقل من صفر فولط أو أكبر من ٥,٥ فولط) .

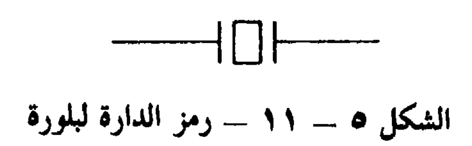
إن الديودات الباعثة للضوء (LEDs) لها نفس العمل الذي تقوم به الديودات العادية ما عدا أن تلك تشع الضوء عند مرور التيار عبرها . وبشكل عام كلما كان التيار أعلى كانت شدة الضوء أكبر . إلا أن زيادة التيار إلى حد كبير ستؤدي إلى تدمير الزر المشع للضوء (LED) ولذلك من الضروري أن يتم الحد من التيار المار عبر الديود الضوئي باستخدام مقاومة موصولة على التسلسل معه ، كما هو مبين في الفصول السابقة . يوضح الشكل ٥ — ١٠ رمز دارة الزر المشع للضوء (LED) .



الشكل ٥ — ١٠ رمز دارة الـ LED

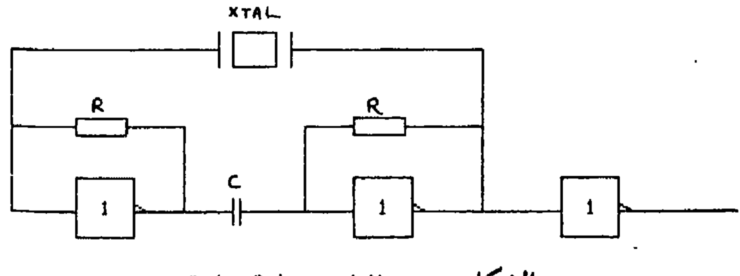
٥ ـ ٤ ـ البلورات

البلورة عبارة عن وسيلة متميزة تقوم بالتذبذب عند تردد معين . ويوضح الشكل ٥ ـ ١١ رمز الدارة .



الشكل ٥ ـ ١١ ـ رمز الدارة لبلورة

إن البلورة التي يبلغ ترددها ١٦ ميغا هرتز ستعطي موجة حبيبية بقيمة ١٦ ميغا هرتز عند توصيلها بمجموعة دارات مناسبة . تستخدم البلورات في دارات التوليد الساعية . يوضح الشكل ٥ ـ ١٢ دارة ساعة نموذجية .



الشكل ٥ ـ ١٢ ـ دارة ساعة

يتضمن الملحق F شرحاً لوظيفة الدارة . إن كل ما يلزم معرفته هو أن تغيير قيمة المقاومة R ونوع البوابة NOT (S, LS ، إلخ) له تأثير كبير على شكل الموجة . إن تجمعاً نموذجياً للقطع المكونة سيكون كما يلي :

R = 100R—3K3
C = 10 nF—47 nF
XTAL = 1 MHz—25 MHz

لإنتاج إشارة ساعية بتردد أكبر من ٢٥ ميغا هرتز أو بتردد أقل من ١ ميغا هرتز فإننا سوف نحتاج إلى دارة هجينة لمذبذب بلوري . وهذه أغلى ثمناً من البلورات

العادية إلا أنها تتميز بعدم حاجتها إلى أي دارات داعمة حيث يمكن وضع خرجها مباشرة في بوابة .

٥ ـ ٥ ـ الريليهات

الريليه عبارة عن وسيلة تتميز بمجموعتين من التوصيلات . وهذه التوصيلات تكون منفصلة كهربائياً بشكل كلي .

يمكن إعتبار الريلية كوسيلتين منفصلتين :

١ ــ جزء التحكم الذي يشبه مقاومة بالنسبة لبقية الدارة .
٢ ــ وقسم التشغيل الذي يشبه مفتاح وصل وفصل بالنسبة لبقية الدارة .

عند عدم مرور أي تيار عبر جزء التحكم من الريليه فإن قسم التشغيل يكون مفتوح الدارة (بحالة فصل) . وعند مرور التيار عبر جزء التحكم من الريلية فإن قسم التشغيل يكون عندئذ مقصور الدارة (بحالة وصل) .

تعتبر الريلية من الوسائل المفيدة جداً في فصل إشارة عن الدارة الرئيسية . على سبيل المثال ١ قد يشتغل جزء التحكم من الريلية عند قيمة ٥ فولط ، بينما نجد أن قسم التشغيل قد يعمل عند ٢٤٠ فولط .

توجد وسائل أخرى تعمل بطريقة مماثلة (Optocouplerss, Triacs ، إلخ) . إذا أريد القارىء أن يتعلم المزيد عن هذه ا لأجهزة فإنها تتوفر عدة كتب الكترونيات أخرى تبحث في هذا المجال .

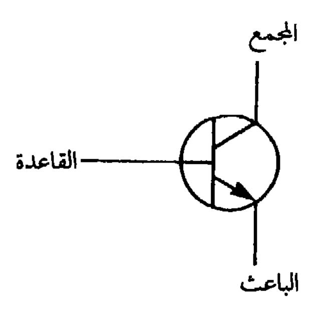
٥ ـ ٦ ـ الترانزيستورات

إن الترانزيستورات مفعول مماثل لمفعول الريلية ، باستثناء أن المفتاح عبارة عن مفتاح الكتروني بدلاً من أن يكون ميكانيكياً . إن الترانزيستور npn المبين في الشكل ٥ ــ ١٣ يعمل بالطريقة التالية :

إذا كان الجهد بين القاعدة والباعث أكبر من ٠,٧ فولط ، فإن المجمع والباعث

يكونا متصلين بشكل فعال .

وإذا كان الجهد بين القاعدة والباعث أقل من ٠,٧ فولط فإن المجمع والباعث يكونا مفتوحي الدارة .



الشكل ٥ — ١٣ — ترانزيستور npn

توجد أنواع أخرى من الترانزيستورات — FET, pnp — وللإطلاع على إيضاحات تفصيلية عن هذه وعن الترانزيستور npn فإنه يتم الرجوع إلى كتاب الإلكترونيات الأساسية .

إن الاستخدامات الرئيسية للترانزيستورات في التصميم العددي هي :

عزل الإشارات عن الدارة الرئيسية .

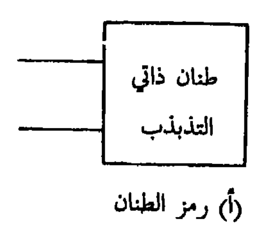
مضخمات حافزة للتيار العالي (البوابات المنطقية العادية لا تستطيع أن تمد بيتار كبير) .

٥ — ٧ — *وسائل إنذار مسموعة*

توجد طريقتان رئيسيتان لإصدار الضجيج من دارة رقمية — إحداها الطنان الذاتي التذبذب والأخرى مكبر الصوت . يقوم الطنان الذاتي التذبذب بإصدار الضجيج عند وضع توتر عبر مداخله . إن طبقة الصوت (التردد) وجهارة الضجيج يتعلقان عادة بالتوتر عبر المداخل .

أما مكبر الصوت فهو أبسط بكثير (وبالتالي أرخص) من الطنان الذاتي التذبذب . فهو يحتاج إلى إشارة تذبذب على مداخله لإصدار الضجيج . إن الترددات المختلفة للإشارة تعطي طبقات صوت متنوعة والأنواع المختلفة من الشكل الموجي (موجة مربعة ، موجة جيبية ، إلخ) تصدر أنواعاً مختلفة من الأصوات .

يوضح الشكل ٥ ــ ١٤ رموز دارة الطنان ومكبر الصوت .



(أ) رمز الطنان

(ب) رمز مكبر الصوت

الشكل ٥ ــ ١٤ ــ رموز الدارة للطنان ومكبر الصوت

٥ ــ ٨ ــ *منابع القدرة*

حتى الآن لقد كانت وسيلة الإمداد بالقدرة لكافة التجارب هي البطاريات . وتعمل معظم منابع القدرة على التخلص من خطوط الإمداد الرئيسية. وتكمن مهمة منابع القدرة هذه بتحويل التيار المتناوب ٢٤٠ فولط (١٢٠ فولط في أمريكا الشمالية) إلى تيار مستمر + ٥ فولط ، أو + ١٢ فولط ، إلخ ، (تحتاج بعض الأجهزة الرقمية إلى عدة توترات مختلفة) . ويحتاج توتر التيار المستمر أيضاً إلى أن يكون مستقراً (أي أن التغير المفاجىء في التوتر أو التيار على الخطوط الرئيسية له يؤثر على توتر التيار المستمر) . إن هذه القيود تدل على أن منابع القدرة معقدة إلى حد كبير . يوجد نوعان رئيسيان من منابع القدرة : النوع الخطي والنوع ذو الأسلوب التحويلي . تعتبر منابع القدرة الخطية أرخص ثمناً إلا أنها أقل فعالية (بسبب سرعة

إحمائها) من منابع القدرة ذات الأسلوب التحويلي .

يمكن الحصول على منابع قدرة من جهات مصنعة مختلفة لقاء مبلغ يقدر بحوالي ٣٥,٠٠ جنيهاً (للإمداد الخطي — وهذا كل ما يلزم لمعظم الإستخدامات) .

٥ — ٩ — الخاتمة

تستخدم الوسائل المشابهة في كثير من الأحيان عند إدخال تصميم رقمي أو عددي إلى العالم الخارجي . سيكون القارىء الآن مدركاً لأهمية الدارات المشابهة وننصحه بقراءة الكتب المتخصصة التي تبحث في هذا الموضوع .

٥ — ١٠ — ملخص

الأجهزة التي يشتمل عليها هذا الفصل هي : المقاومات ، المقاومات المتغيرة ، مقاييس فرق الجهد ، المكثفات ، الديودات ، الديودات المضيئة ، البلورات ، الريليهات ، الترانزيستورات ، الطنانات ، مكبرات الصوت ، منابع القدرة .

الفصل ٦

دفاتر المعلومات وكيفية استخدامها

يوضح هذا الفصل كيفية الحصول على المعلومات اللازمة من أوراق/دفاتر المعلومات بدون إعاقة عن التقدم بواسطة معلومات غير لازمة لتصميم معين . إن دفاتر المعلومات الأساسية لمهندسي التصميم نجدها أيضاً مدرجة .

٦ ـ ١ ـ *ما هي دفاتر المعلومات*

إن دفتر المعلومات هو عبارة عن مجموعة صفحات من المعلومات خاصة بقطع مختلفة . إن صفحة المعلومات المتعلقة بقطعة معينة يجب أن تتضمن كافة المعلومات اللازمة الضرورية لاستخدام تلك القطعة في أي تصميم . وفي بعض الأحيان قد لا تحتوي صفحات المعلومات على معلومات كافية لاستخدامات عويصة غير واضحة . وإن إجراء مكالمة هاتفية مع الشركة الصانعة بهذا الخصوص تؤتي فائدتها في مثل هذه الحالات . هناك كلمة تنبيه : وهي أنه كما في المجالات الأخرى من غير المناسب أن تقوم بإزعاج الشركات الصانعة من أجل مسائل تافهة يمكنك أن تحلها بنفسك .

٦ ـ ٢ ـ *بعض المصطلحات المفيدة*

SSI وتمثل بدايات أحرف الكلمات Small Scale Integration . وهي تشير إلى تضييع الدارات التكاملية . وإن SSI تتضمن عادة أقل من ١٢ بوابة منطقية بسيطة (مثل بوابات NAND) لكل دارة تكاملية . من الأمثلة على مصطلح SSI ثنائيّ الإستقرار الثنائيّ من النوع D ٧٤٧٤ .

MSI وتمثل بدايات أحرف الكلمات Medium Scale Integration . تحتوي MSI عادة على عدد من البوابات المنطقية يتراوح بين ١٢ و ١٠٠ بوابة منطقية بسيطة لكل دارة تكاملية . ومن الأمثلة على مصطلح MSI العداد الثنائي التزامني ٧٤١٦٣ .

LSI وتمثل بدايات أحرف الكلمات Large Scale Integration تحتوي LSI عادة على عدد من البوابات يتراوح بين ١٠٠ و ١٠٠٠ بوابة منطقية بسيطة في كل دارة تكاملية . ومن الأمثلة على مصطلح LSI ذاكرة اقرأ فقط المبرمجة ٢٧٣٢ .

VLSI وتمثل بدايات أحرف الكلمات Very Large Scale Integration . تحتوي VLSI عادة على أكثر من ١٠٠٠ بوابة منطقية بسيطة في كل دارة تكاملية . ومن الأمثلة على مصطلح VLSI وحدة المعالجة المصغرة لـ ١٦ رقماً عشرياً MC68000 .

TTL وتمثل بدايات أحرف الكلمات Transistor—Transistor Logic . وهي الدارات المنطقية التي تكون بواباتها مكونة من ترانزيستورات ثنائية الأقطاب . إن السلسلة ٧٤ من شركة Texas Instruments جميعها TTL .

MOS وتمثل بدايات أحرف الكلمات Metal Oxide Semiconductor . وهي دارات منطقية تستخدم بواباتها ترانزيستورات أحادية الأقطاب (FETs) بدلاً عن الترانزيستورات الثنائية الأقطاب .

NMOS تشير الأحرف P,N إلى نوع الترانزيستورات الأحادية الأقطاب المستخدمة في

PMOS الدارات المنطقية MOS . إن الترانزيستورات الأحادية الأقطاب NMOS FETs يتم تصنيعها باستخدام سليكون القناة n وبالنسبة للترانزيستورات PMOS FETs باستخدام سليكون القناة P . أما بالنسبة للتفاصيل حول هذه التقنيات فإنها لا تدخل ضمن مجال بحث

هذا الكتاب . تعتبر الترانزيستورات NMOS FETs أسرع قليلاً من الترانزيستورات PMOS FETs .

CMOS وتعني MOS المتممة . وهذه تستخدم كلاً من NMOS, PMOS . إن ميزة CMOS على كافة الأنواع الأخرى من الترانزيستورات كونها تستهلك كمية ضئيلة جداً من القدرة .

FET وتمثل بدايات أحرف الكلمات Field Effect Transistor (الترانزيستور الأحادي القطب) . إن الأجهزة التي تستخدم الترانزيستورات الأحادية الأقطاب تعتبر أرخص صنعاً من تلك التي تستخدم الترانزيستورات الثنائية الأقطاب . إلا أن الترانزيستورات الثنائية الأقطاب تعتبر أسرع .

٦ — ٣ — *الدارات المتوافقة TTL*

إن مجموعة TTL من الدارات التكاملية تشتمل على ثمانية سلاسل من خطوط الإنتاج المتوافقة . وهذه هي :

54/74	Normal TTL
54LS/74LS	Low power Schottky
54S/74S	Schottky
54H/74H	(لم تعد تستعمل) سرعة عالية
54L/74L	(لم تعد تستعمل) قدرة منخفضة
54ALS/74ALS	Advanced low power Schottky
54AS/74AS	Advanced Schottky
74F	Fairchild Advanced Schottky.

هذه السلاسل متوافقة بشكل تام مع بعضها وتختلف فقط في الخصائص الكهربائية وسرعة التشغيل . يوضح الجدول ٦ — ١ الخصائص النموذجية لدارات SSI من خطوط الإنتاج هذه .

Series	*Propagation delay*	*Power dissipation*
54/74	10 ns	10 mW
54LS/74LS تيار خرج منخفض	9.5 ns	2 mW
54S/74S تيار دخل عالي	3 ns	19 mW
54H/74H	6 ns	22 mW
54L/74L	33 ns	1 mW
54ALS/74ALS	4 ns	1 mW
54AS/74AS	1.5 ns	20 mW
74F	3 ns	5mW

الجدول ٦ — ١ — خصائص نموذجية لبوابات TTL SSI

توجد سلسلة أخرى من الدارات المتوافقة . وهي سلسلة 74HCT التي هي عبارة عن سلسلة تعتمد على CMOS وبالتالي يكون تبدد القدرة منخفضاً جداً .

تستخدم السلسلة ٥٤ في المجالات العسكرية — وإن المجالات المختلفة الخاصة بدرجة الحرارة والجهد ، إلخ أكبر مما هي عليه بالنسبة للسلسلة ٧٤ (الاستخدام التجاري) . تنبيه : إن السلسلة ٥٤ والسلسلة ٧٤ ليستا جميعها متوافقة .

٦ — ٤ — *الفئات الرئيسية في صفحة المعلومات*

الفئات الرئيسية هي كما يلي :

الوصف

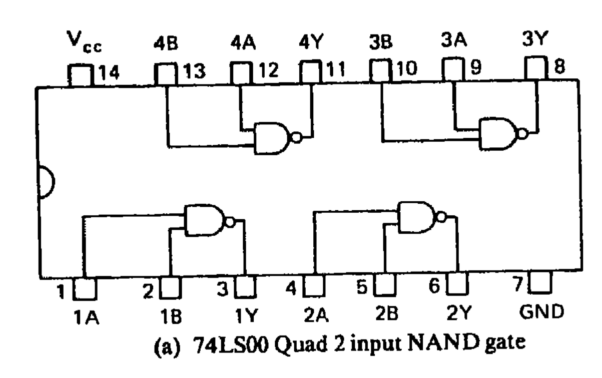
المقدرات العظمى المطلقة

شروط التشغيل OC

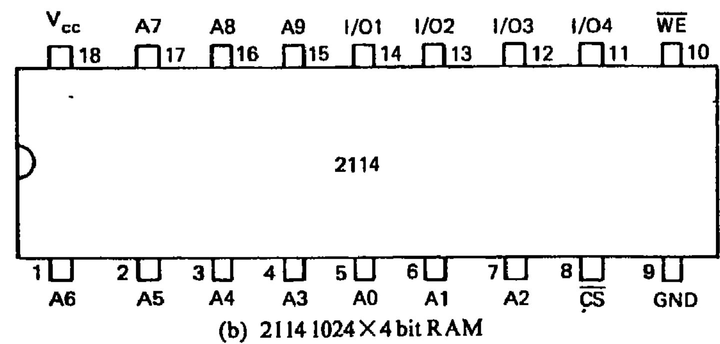
شروط التشغيل AC

٦ — ٤ — ١ — الوصف

هنا يتم بيان الوظيفة الإجمالية للجهاز . يجب أن تتم القراءة دائماً للتأكد من أن الجهاز المقصود هو المناسب للتصميم . سوف يتضمن الوصف مخططاً للجهاز يشتمل على الإسم الوظيفي لكل مسمار على الجهاز . يوضح الشكل ٦ — ١ مخططات جهازين .



(a) 74LS00 Quad 2 input NAND gate



(b) 2114 1024×4 bit RAM

الشكل ٦ ـــ ١ ـــ مخططات مسامير الجهاز 2114, 74LS00

كما رأينا فإن مخطط المسامير قد يأخذ أشكالاً عديدة . تبقى المعلومات هي نفسها بغض النظر عن الشكل . في المثال الثاني «2114» سوف نجد توضيحاً لمهمة كل مسمار .

سوف يتضمن الوصف عادة مخططاً مبسطاً وظيفياً يوضح انقسام الجهاز إلى بوابات بسيطة ، إلخ . تحتوي أجهزة SSI في الغالب على البوابات المبينة في مخطط توضع المسامير . إن المخططات المبسطة للمراحل LSI تنقسم إلى مجموعات صغيرة (حيث أنها إذا انقسمت إلى بوابات فإننا سنحتاج إلى عدة صفحات) .

تعتبر جداول الحقيقة شائعة في الوصف . وهي تقوم عادة بتوضيح أي غموض حول مهمة الجهاز .

٦ ـ ٤ ـ ٢ ـ المقدرات العظمى المطلقة

يقدم لنا هذا القسم القيم العظمى للأشياء مثل توتر منبع القدرة وتيارات الدخل ، إلخ . من الأمور غير المنستحبة في التصميم أن يتم دفع الأجهزة إلى حدودها ، ولذلك فإن القيم العظمى في هذا القسم يجب عدم تجاوزها .

٦ ـ ٤ ـ ٣ ـ شروط التشغيل بالتيار المستمر DC

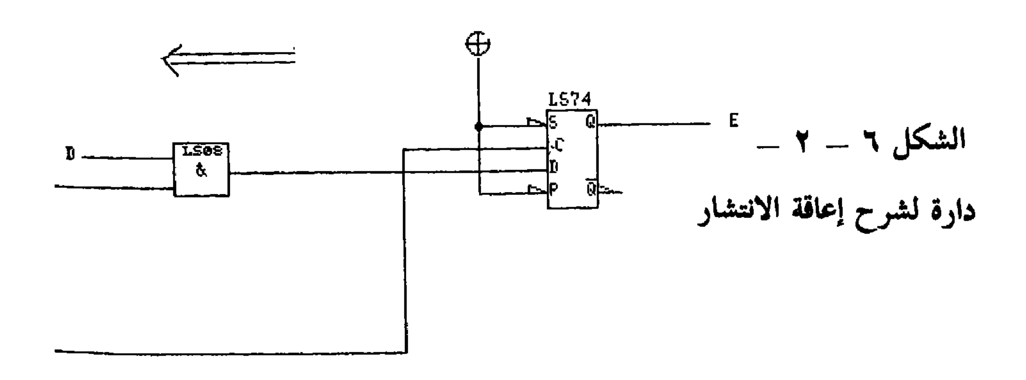
يبحث هذا القسم في حدود التشغيل بالنسبة للتوترات والتيارات . هناك مدخلان نموذجيان هما :

الرمز	بارامتر	الحدود				
	الشروط	Min	Typ	Max	Unit	Test
V_{OH}	توتر عالي في الخرج	2.4	3.4		V	V_{CC}=MIN V_{IH}=2V V_{IL}=0.8V I_{ON}=−400uA
I_{CC}	تيار منبع القدرة		90	130	mA	V_{CC}=MAX

يمكن قراءة المدخل الأول على النحو التالي :

إن جهد المخارج 1 المنطقية سيكون ٣,٤ فولط (ولكن يمكن أن منخفضاً بحيث يصل إلى ٢,٤ فولط) عندما تكون Vcc عند قيمتها الأعظمية المسموحة وتكون توترات الدخل وتيار الخرج كما هي محددة . وهذا يعني بأنك إذا أردت توصيل مخرج هذا الجهاز مع مدخل جهاز آخر يحتاج إلى حد أدنى من الجهد بقيمة ٣ فولط للمدخل 1 المنطقي فإن دارتك عندئذ قد لا تعمل دائماً . من المهم جداً أن يتم التأكد من عدم تسلل مثل هذا النوع من الخطأ إلى تصميمك . يجب أن نلاحظ بأن بوابات S فيها تيارات دخل عالية وبوابات LS فيها تيارات خرج منخفضة نسبياً ـ ومن ثم يجب أن نكون حذرين عندما تقوم المخارج LS بإدارة المداخل S .

يمكن قراءة المدخل الثاني على النحو التالي :



الشكل ٦ — ٢ —

دارة لشرح إعاقة الانتشار

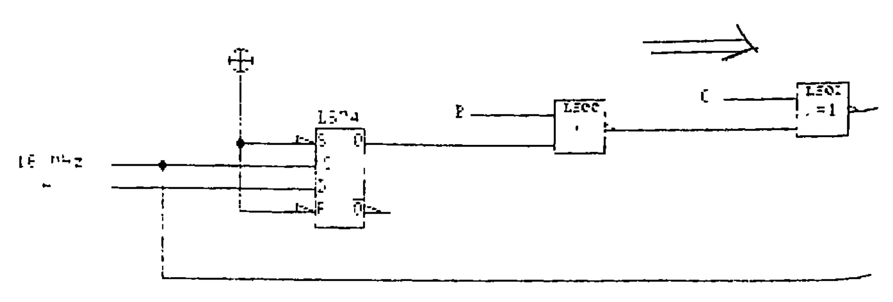
إن التيار النموذجي المسحوب من منبع القدرة بواسطة هذا الجهاز يبلغ ٩٠ ميلي أمبير ويمكن أن يصل هذا الرقم إلى ١٣٠ ميلي أمبير . فإذا كان منبع القدرة لديك يستطيع أن يؤمن ١ أمبير فإنك سوف تكون مخاطراً إذا كان لديك أكثر من سبعة أجهزة في تصميمك .

إن البارامترات المعتادة التي تهمنا في هذا القسم هي :

V_{OH} توتر عالي للخرج
V_{OL} توتر منخفض للخرج
V_{IH} توتر عال للدخل
V_{IL} توتر منخفض للدخل
I_{OH} تيار عال للخرج
I_{OL} تيار منخفض للخرج
I_{IH} تيار عال للدخل
I_{IL} تيار منخفض للدخل
I_{CC} تيار المنبع

٦ — ٤ — ٤ — خصائص التشغيل بالتيار المتناوب AC

هذه تتطابق مع مخطط التوقيت (انظر الفصل السابع) إذا كان الجهاز معقداً .



تتعلق البارامترات في هذا القسم بالترددات العظمى (أو الفترات الساعية الدنيا) وإعاقات إنتشار الإشارات من مداخل معينة إلى مخارج خاصة . (عندما يتغير مدخل جهاز ما فإن هناك إعاقة صغيرة تحدث قبل تغير المخرج . وهذا يعرف باسم إعاقة الإنتشار . وتصبح إعاقة الإنتشار أطول عندما يصبح الجهاز أكثر تعقيداً) . في بعض التصميمات يمكن تجاهل أو إهمال إعاقة الإنتشار بين المدخل والمخرج . على أية حال من المفيد دائماً أن يتم إيجاد الإعاقات القصوى على طول مسار الاشارة . يوضح الشكل ٦ ــ ٢ مثالاً عن مدى أهمية إعاقة الإنتشار .

تعمل هذه الدارة على النحو التالي :

إن الإشارة عند A ستؤثر في E عند النبضة الساعية الثانية . ومن ثم إذا كانت الإعاقة عبر ثنائي الاستقرار الأول والبوابات اللاحقة أكبر من ١/١٦ ميغا هرتز = ٦١ جزء من ألف مليون من الثانية فإن هذا يدل على وجود مشكلة . بالنظر إلى إعاقات الإنتشار في دفتر المعلومات TTL نحصل على :

الإعاقة الأعظمية من مدخل الساعة إلى المخرج Q بالنسبة لـ 74LS74 تساوي ٤٠ جزء من ألف مليون من الثانية .

الإعاقة الأعظمية من المدخل إلى المخرج بالنسبة لـ 74LS00 تساوي ١٥ جزء من ألف مليون من الثانية .

الإعاقة الأعظمية من المدخل إلى المخرج بالنسبة لـ 74LS32 تساوي ٢٢ جزء من ألف مليون من الثانية .

الإعاقة الأعظمية من المدخل إلى المخرج بالنسبة لـ 74LS08 تساوي ٢٠ جزء من ألف مليون من الثانية .

زمن الاعداد للمدخل D التابع لـ 74LS74 يساوي ٢٠ جزء من ألف مليون من الثانية .

وهذا يعطي إعاقة إنتشار أعظمية تساوي (٤٠ + ١٥ + ٢٢ + ٢٠ + ٢٠) = ١١٧ جزء من ألف مليون من الثانية وهذه بطيئة جداً .

إذا كنت تستخدم أجهزة «S» بدلاً من أجهزة «LS» ، فإن الفترات تصبح ٩ ، ٥ ، ٧ ، ٧,٥ و٣ جزء من ألف مليون من الثانية على التوالي . وهذه يبلغ مجموعها ٣١,٥ جزء من ألف مليون من الثانية وهي تعادل تقريباً الزمن المطلوب . يجب أن نلاحظ بأن استهلاك القدرة يكون الآن أعلى . قد يكون من الملائم أن يتم دمج أجهزة LS مع S للحصول على حد أدنى من استهلاك القدرة ضمن حدود السرعة .

إن زمن اللازم لإعداد جهاز ما هو الحد الأدنى الذي يجب أن تصبح فيه المعلومات ثابتة على المدخل قبل أن يتم إدراكها من قبل الجهاز (ويمثل عادة الحد الأدنى من الزمن قبل النبضة الساعية) .

إن زمن التثبيت لخرج جهاز ما هو الزمن الأعظمي الذي ستكون فيه المعلومات ثابتة عند المخرج بعد أن لم تعد ثابتة عند المدخل أو بعد نبضة ساعية معينة .

إن زمن التثبيت لدخل جهاز ما هو الزمن الأدنى الذي يجب أن تكون فيه المعلومات ثابتة عند المدخل بعد نبضة ساعية معينة .

٦ ــ ٥ ــ المعطيات الميكانيكية

تشتمل معظم دفاتر المعلومات على معطيات ميكانيكية تتعلق بالدارات التكاملية . وتنقسم المعطيات الميكانيكية إلى فئتين رئيسيتين هما :

معلومات الطلب
والتغليف

٦ ــ ٥ ــ ١ ــ معلومات الطلب

وهذه تتضمن كيفية إجراء طلب الأنواع المختلفة من الدارات التكاملية مع تغليفها .

٦ ــ ٥ ــ ٢ ــ التغليف

توجد عدة طرق يمكن فيه تغليف دارة تكاملية . الطرق الثلاث الرئيسية وميزاتها مبينة فيما يلي :

مغلفة بالسيراميك بشكل مزدوج (DIL)	وهنا تكون محكمة السد ومغلقة بإحكام وبالتالي تعتبر أجهزة موثوقة جداً .
مغلفة بالبلاستيك بشكل مزدوج	وهذه تكون سهلة الصنع وبالتالي أرخص ثمناً إلا أنها ليست موثوقة كسابقتها .
مجموعة مستوية	وهذه تكون أصغر بكثير من مغلفات السيراميك (DIL) ومن ثم يمكن تركيب المزيد منها على لوحة الدارات .

بالنسبة لمعظم الاستخدامات المتعلقة بالهواة تعتبر الأجهزة البلاستيكية كافية . أما الأجهزة السيراميكية فسوف تستخدم عندما يتطلب جهاز ما دقة وثقة عالية . وأما بالنسبة للمجموعات الأخيرة المستوية فسوف تستخدم عندما يكون عامل الحيز على لوحات الدارات من الاعتبارات الهامة .

٦ ــ ٦ ــ مراجع المعلومات الأساسية لمهندسي التصميم

Texas Instruments TTL Data Book Vol. 1
Intel Microprocessor and Peripheral Handbook
Mostek Microelectronic Data Book.

إن هذه المراجع الثلاث تقدم لنا مجموعة جيدة من القطع المستخدمة في التصميم . وهي تعتبر من المستلزمات الدنيا المطلقة التي يجب أن تتوفر في مكتبة مهندس

التصميم . وإنه من الأفكار الجيدة أن يتم توفر أكبر عدد ممكن من مراجع المعلومات . من كل شركة من الشركات الصانعة مثل NEC, Motorala وهيتاشي وفيرشايلد ، إلخ .

٦ ـ ٧ ـ بعض الدارات التكاملية المفيدة

الملحق G يعتبر كمرجع إختياري/دليلي عملي يحتوي معظم الدارات التكاملية اللازمة لأي مهندس ليقوم بتصميم الدارات . يتضمن هذا القسم أسماء الدارات التكاملية المبينة في الفصول السابقة مع السعر النموذجي (لعام ١٩٨٥) لكل دارة تكاملية :

74LS00 دارة تكاملية رباعية البوابات NAND ذات مدخلين تحتوي على ١٤ رجلاً

(تتوفر أيضاً الدارات 7400, 74S00, 74ALS00, 74ASS00, 74F00) السعر ١٤ باوند .

74LS02 دارة تكاملية رباعية ذات مدخلين و١٤ رجلاً تحتوي على أربع بوابات NOR . سعرها ١٢ باوند .

74LS04 دارة تكاملية ذات ١٤ رجلاً لمحول سداسي تحتوي على ٦ بوابات NOT . سعرها ١٢ باوند .

74LS08 دارة تكاملية رباعية ذات مدخلين و١٤ رجلاً تحتوي على ٤ بوابات AND . سعرها ١٤ باوند .

74LS11 دارة تكاملية ثلاثية ذات ثلاث مداخل و١٤ رجلاً تحتوي على ثلاث بوابات AND . سعرها ١٦ باوند .

74LS32 دارة تكاملية رباعية ذات مدخلين و١٤ رجلاً تحتوي على أربع بوابات OR . سعرها ١٤ باوند .

74LS74 دارة تكاملية ثنائية من النوع D بآلية ضبط وإعادة ضبط و١٤ رجلاً تحتوي على ثنائيي استقرار نوع D . سعرها ١٦ باوند .

74LS76	دارة تكاملية ثنائية من النوع J — K بآلية ضبط وإعادة ضبط و١٤ رجلاً تحتوي على ثنائيي استقرار نوع J — K ، سعرها ٢٠ باوند .
74LS86	دارة تكاملية رباعية ثنائية المدخل ذات ١٤ رجلاً تحتوي على ٤ بوابات XOR . سعرها ١٦ باوند .
74LS161	دارة تكاملية ذات ١٦ رجلاً لعداد ثنائي تزامني تحتوي على عداد تزامني لأربعة أرقام عشرية ، سعرها ٤٠ باوند .
74LS164	دارة تكاملية ذات ١٤ رجلاً لمسجل نقل SIPO لثمانية أرقام عشرية تحتوي على مسجل SIPO لثمانية أرقام عشرية ، بسعر ٤٥ باوند .
74LS165	دارة تكاملية ذات ١٦ رجلاً لمسجل نقل PISO لثمانية أرقام عشرية تحتوي على مسجل PISO لثمانية أرقام بسعر ٩٠ باوند .
74LS266	دارة تكاملية ذات ١٤ رجلاً ثنائية المدخل تحتوي على أربع بوابات XNOR . سعرها ٥٠ باوند .
74LS293	دارة تكاملية ذات ١٤ رجلاً لعداد غير تزامني لأربعة أرقام عشرية تحتوي على دارة واحدة 2 ÷ ودارة واحدة 8 ÷ . سعرها ٥٠ باوند .

لايوجد عداد 74 series mod5 . قد تنتج الشركات الصانعة الأخرى هذا — وإذا لم يتم ذلك فإنه بإمكانك أن تقوم بصنع ذلك باستخدام المجموعات التركيبية الآنفة الذكر .

٦ — ٨ — الخاتمة

بعد قراءة هذا الفصل يجب أن تصبح مراجع المعلومات سهلة التناول . وتوجد بعض كتب المعلومات مطبوعة بشكل سيء ، إلا أن المعلومات تظل موجودة .

الفصل ٧

مخططات التوقيت

٧ ـ ١ ـ مقدمة

إن الدارات التكاملية ، كما تم ذكره آنفاً ، ليست تامة . عندما تتغير قيم الدخل الجهاز ما فإن هناك فتره معينة قبل أن يتم تغير قيم المخارج . يطلق على هذه الفترة اسم إعاقة الإنتشار من المدخل إلى المخرج . ونجد إعاقات الإنتشار للقطع المكونة متضمنة في صفحات المعلومات .

توجد مجموعات مختلفة من TTL (S, LS ، إلخ) لها إعاقات إنتشار مختلفة — وهذه قد تم ذكرها في الفصل السادس (دفاتر المعلومات وكيفية استخدامها) . وينطبق نفس الشيء على الأجهزة الأخرى حيث نجد أن وحدة المعالجة المصغرة Z80A مماثلة لوحدة المعالجة Z80 باستثناء إعاقات الإنتشار المتطورة وسرعة التردد الساعي الأعظمي .

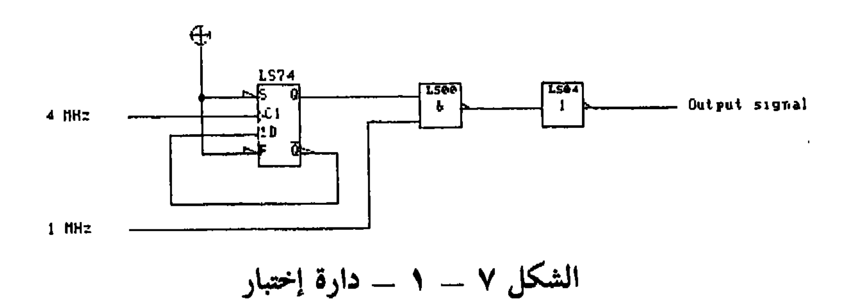
عندما تقوم بتصميم داره ما فإنك يجب أن تتأكد فيما إذا كانت ستعمل . ومن الطرق المستخدمة لذلك أن تقوم بتركيب هذه الدارة . وبذلك تتضح لك صحة تصميمك . على أية حال إذا عملت دارتك لمرة واحدة فإن هذا لا يدل على أنها ستؤدي مهمتها باستخدام القطع وهي في أقصى حدود القيم المسموحة لها (حيث أن القطع المستخدمة في الدارة يتم صنعها بالجملة على دفعات ضمن حدود معينة — وقد تختلف خصائص كل دفعة منها إلى حد كبير) . على سبيل المثال إذا قامت دارة

ما بعملها بالدارة التكاملية LS32 (وهي اختصار 74LS32) وكانت إعاقة الإنتشار فيها تساوي ١٠/ أجزاء من ألف مليون من الثانية فإنها قد لاتؤدي بالضرورة عملها بدارة تكاملية LS32 تبلغ إعاقة الإنتشار فيها ٢١ نانو ثانية (حيث أن إعاقة الإنتشار القصوى للدارة التكاملية LS32 تساوي ٢٢ نانو ثانية) . وهذا مثال بسيط إلا أنه يوضح الحاجة الأساسية لطريقة تدقيق معينة ، على الورق ، وذلك فيما إذا كان تصميمك سيؤدي عمله في كافة الأحوال . الأسلوب المتبع في تحقيق هذا هو أن يتم رسم مخططات توقيت .

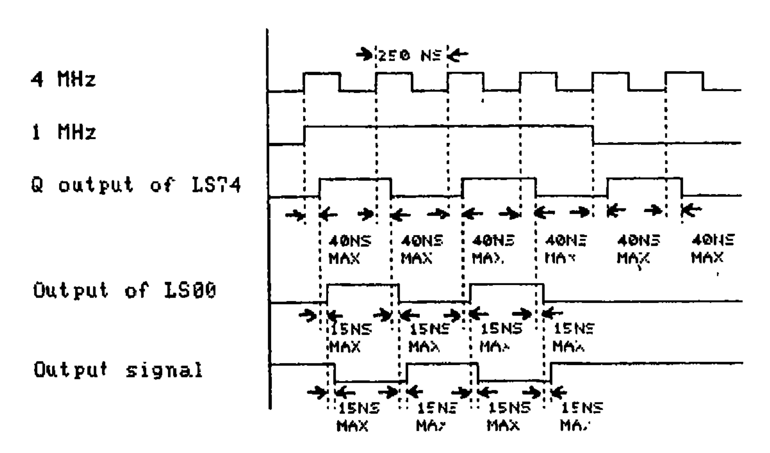
٧ ـ ٢ ـ *ما هو مخطط التوقيت ؟*

إن مخطط التوقيت هو عبارة عن مخطط يوضح كيفية عمل دارة معينة ببيان الكيفية التي تقوم بها إحدى الإشارات بالتأثير على إشارة أخرى في الدارة ، ويكون ذلك عادة بالإشارة إلى إشارة ساعة . توضح مخططات التوقيت المجال الكامل للتوقيت الممكن مع إشارة ما . يوضح الشكل ٧ ـ ١ دارة بسيطة ويوضح الشكل ٧ ـ ٢ التوقيت المرتبط بها . يجب أن نلاحظ بأن مخططات التوقيت يتم رسمها عادة على ورق ذي مربعات للرسوم البيانية .

يوضح مخطط التوقيت الكيفية التي ستعمل بها دارة الإختبار بشكل مضبوط . يجب أن نلاحظ بأن الإعاقة الحاصلة بسبب الأسلاك التي تصل بين القطع المستخدمة في الدارة قد تم إهمالها (أي أن المدخل D للدارة التكاملية LS74 يفترض أن يتغير

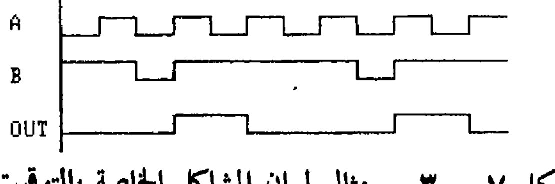


الشكل ٧ ـ ١ ـ دارة إختبار

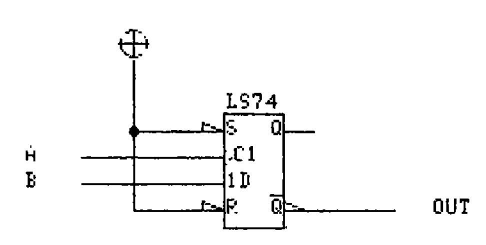


الشكل ٧ ــ ٢ ــ مخطط توقيت لدارة الإختبار

بنفس الوقت تماماً بالنسبة للمخرج Q) . وهذه هي الطريقة المعتادة ــ حيث أن الإعاقة الحاصلة بسبب سلك طوله ١ م تقدر بحوالي ١٠ بيكو ثانية . ولذلك لا يكون عادة من الضروري أن يتم حساب إعاقات الإنتشار الحادثة بسبب السلك . لنلاحظ بأن إشارة المخرج يمكن أن تتغير في أي وقت بدءاً من الطرف الصاعد لنبضة ساعة ترددها ١ ميغا هرتز وحتى ٧٠ نانو ثانية لاحقة . إن الدفعات المختلفة المصنعة من الدارات التكاملية ستكون لها قيم مختلفة ضمن الحدود المسموحة لها . من الضروري جداً التأكد من أن دارتك ستؤدي عملها بالنسبة للأجهزة التي تكو ن فيها فترات الإعاقة دنيا كما أنها تؤدي عملها أيضاً بالنسبة للأجهزة ذات فترات الإعاقة القصوى . على سبيل المثال . إذا كان لديك دائرة تعتمد على إشارة لا تصل إلى بوابة بسرعة . فإنك قد تواجه بعض المشاكل . لنفترض أنك تريد أن تولد إشارة OUT ، المبينة في الشكل ٧ ــ ٣ وكانت لديك الإشارات B, A . توجد طريقة لتنفيذ هذه المهمة مبينة في الشكل ٧ ــ ٤ .

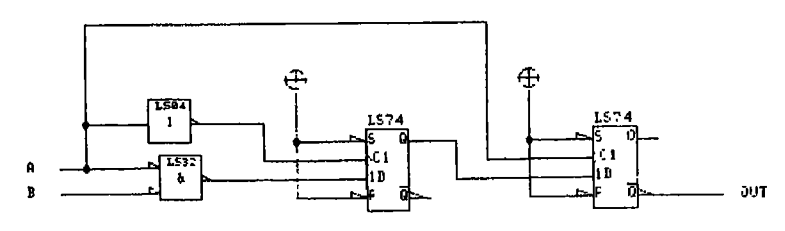


الشكل ٧ ــ ٣ ــ مثال لبيان المشاكل الخاصة بالتوقيت



الشكل ٧ ـ ٤ ـ الحل الممكن لمشكلة الشكل ٧ ـ ٣

يجب أن تتأكد من أن فترة التثبيت للدارة التكاملية LS74 يتم حدوثها بعد أن ترتفع A . وإلا فإن B لن يتم تثبيتها . إن مخطط التوقيت في الشكل ٧ ـ ٣ لايقدم أية قيم عددية ولذلك يجب عليك أن تفترض الأسوأ . ولهذا فإن الدارة في الشكل ٧ ـ ٤ قد لا تؤدي عملها دائماً . ومن أجل ذلك فإنه من الأفضل أن يتم تنفيذ الدارة وفق ما هو مبين في الشكل ٧ ـ ٥ .



الشكل ٧ ـ ٥ ـ الحل الناجع للشكل ٧ ـ ٣

الدارة المبينة في الشكل ٧ ـ ٥ تعمل على النحو التالي :

عندما تكون B, A كلتاهما منخفضين . فإن خط إعادة الضبط ثنائي الاستقرار الأول ينخفض ، مما يؤدي إلى إنخفاض المخرج Q . وهذا يتم تثبيته عند الطرف الصاعد من A ، مؤدياً إلى إرتفاع OUT . وعلى الطرف الهابط من A يتم تثبيت الارتفاع في ثنائي الاستقرار الأول (عملية إعادة الضبط تصبح غير فعالة) . وعند الطرف الصاعد التالي من A سوف يقوم ثنائي الاستقرار الثاني بتثبيت هذا ويجعل OUT تنخفض . سوف تؤدي هذه الدارة عملها في حال عدم كون تردد A كبيراً بالنسبة لإعاقات الإنتشار للنطاطات .

من المهم جداً عدم السماح بالمشاكل المحتملة كما هو مبين في الشكل ٧ — ٤ لأن تدخل ضمن تصميمك .

٧ — ٣ — إعاقات الإنتشار

كما ذكرنا سابقاً . فإن إعاقة الإنتشار الخاصة أو المرتبطة بالجهاز هي الفترة الزمنية المستغرقة عند التغير الحاصل بين المداخل واستجابة المخارج . تتعلق إعاقة الإنتشار بعدة عوامل (درجة الحرارة ، وعمر الجهاز ، إلخ) . وقد تتغير من ثانية إلى أخرى . تعطي إعاقات الإنتشار عادة كقيم مثالية وأعظمية . أما بالنسبة للقيم المثالية فهي ليست مفيدة في الحقيقة — فإذا قمت بتصميم دارة مستخدماً القيم المثالية فإن التصميم لن يؤدي عمله دائماً مع أي دفعه من القطع المصنعة ، وهذا لن يكـون مقبـولاً في الصناعة .

أما إعاقات الإنتشار الدنيا فلا تعطي عادة بالنسبة لقطع TTL . يوضح الجدول ٧ — ١ لائحة جيدة لقاعدة الإبهام بإعاقات الإنتشار الدنيا .

Series	*Minimum Propagation Delay (ns)*
54/74	2
54LS/74LS	2
54S/74S	1
54L/74L	6
54H/74H	1.5
54ALS/74ALS	1
54AS/74AS	0.5
74F	1

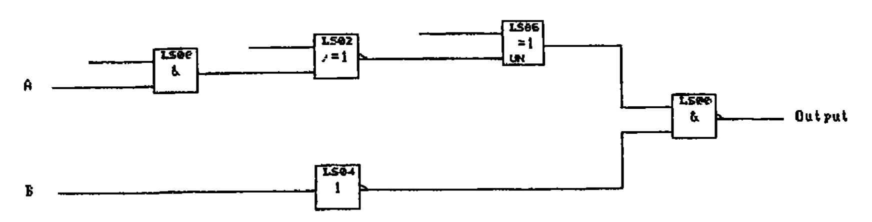
الجدول ٧ — ١ — إعاقات الإنتشار الدنيا لقاعدة الإبهام لقطع TTL

الجدول ٧ — ١ يمثل مرجعاً بالإعاقات الدنيا عند إجراء تصميم ما . فإنه من الأفضل أن يتم افتراض أن الإعاقة الدنيا في جميع الحالات تساوي صفر نانو ثانية .

٧ — ٤ — التزامن أو المزامنة

إذا كانت لديك دارة معقدة . فإن تحضير مخططات التوقيت للدارة قد يصبح

صعباً للغاية وبالتالي فإن الدارة ستصبح أكثر صعوبة في التحقيق والإثبات . ويمكن تخفيف حدة هذه المشكلة بتقسيم الدارة المعقدة إلى عدة دارات صغيرة ، تتميز كل منها بخصائص توقيت بسيطة ومن ثم دمج هذه الدارات الصغيرة مع بعضها . يوضح الشكل ٧ — ٦ مثالاً عن ذلك .

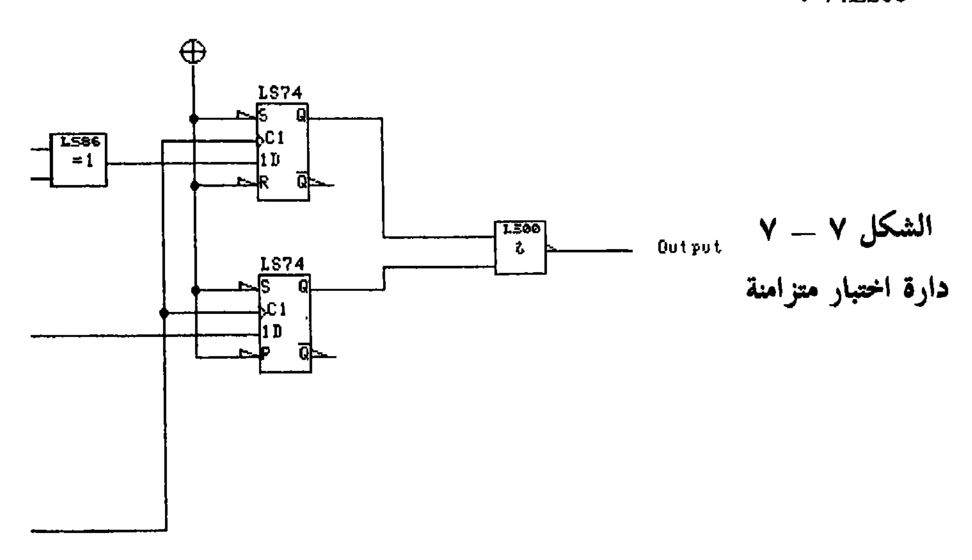


الشكل ٧ — ٦ — دارة توضح الحاجة إلى التزامن أو المزامنة

أما القيود المتعلقة بالتصميم الوارد في الشكل ٧ — ٦ فهي على النحو التالي :

١ — الإشارات عند B, A تحدث بوقت واحد .

٢ — الإشارة من A إلى مدخل الدارة التكاملية 74LS00 يجب أن تستغرق نفس الوقت الذي تستغرقه الإشارة من B إلى المدخل الثاني للدارة التكاملية 74LS00 .



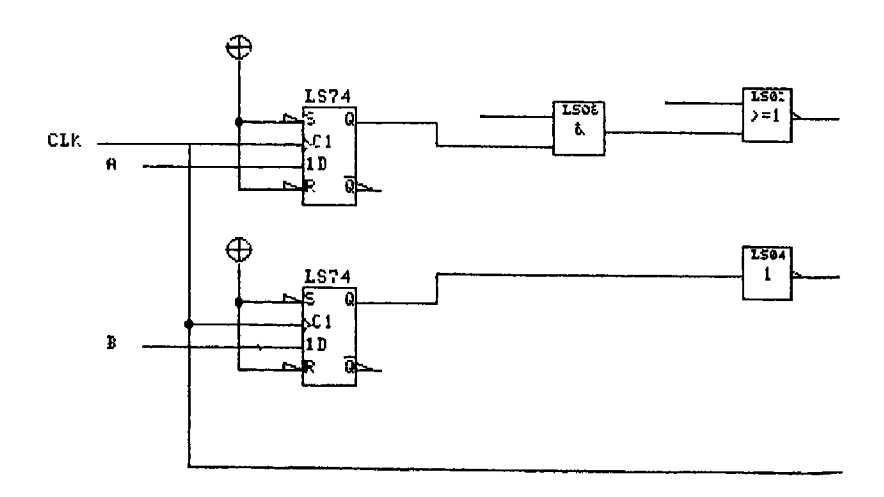
الشكل ٧ — ٧
دارة اختبار متزامنة

من الواضح بأن الملاحظة C الواردة آنفاً لن تكون صحيحة في الشكل ٧ — ٦ . يمكن للإشارة عند A أن تستغرق أي وقت حتى ٦٥ نانو ثانية للوصول إلى LS00 ويمكن للإشارة عند B أن تستغرق أي وقت حتى ١٥ نانو ثانية للوصول إلى LS00 .

ولضمان تحقيق الملاحظة ٢ فإنه من الضروري أن يتم تزامن كلا المسارين B, A . والطريقة الأسهل لإجراء ذلك تكون باستخدام ثنائيات الاستقرار من النوع D كما هو مبين في الشكل ٧ — ٧ .

إن ثنائيي الاستقرار الموجودين إلى اليسار يضمنان حدوث الإشارات B, A بوقت واحد . وأما ثنائيي الإستقرار الموجودان إلى الجهة اليمنى فإنهما يضمنان انتهاءهما بنفس الوقت (يجب أن تكون فترة CLK أكبر من ٦٥ نانو ثانية + الإعاقة الداعمة عبر الدارة التكاملية LS74) . وهذا يعرف بمزامنة الإشارتين . إن هذا الأسلوب يجعل التصميم أكثر سهولة مع زيادة الثقة فيه .

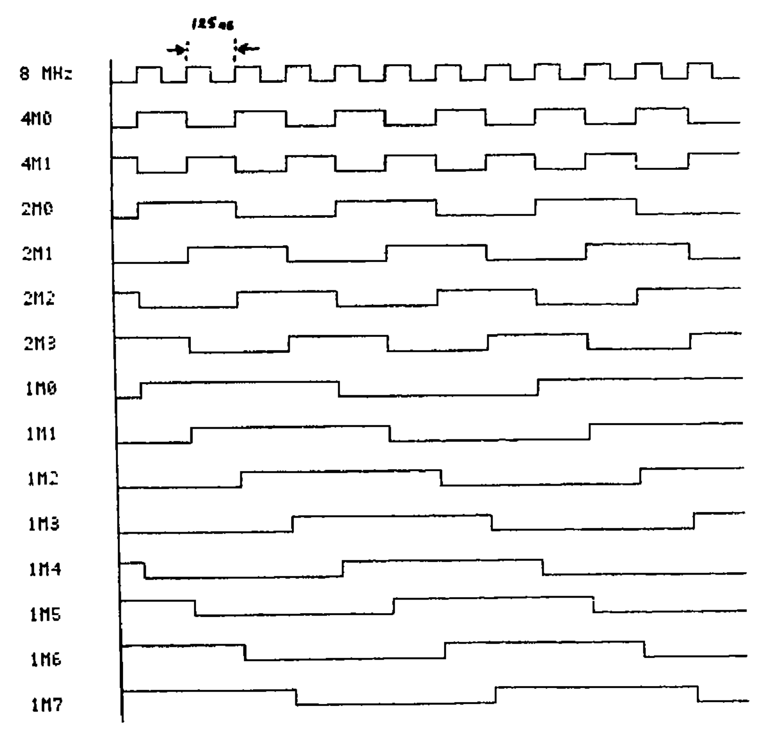
هذا المثال يعتبر من الحالات البسيطة جداً . في كثير من الأحيان تحتاج الدارات إلى التزامن مع عدة نبضات ساعة ذات أطوار وترددات مختلفة .



إن نبضة ساعة ذات تردد معين يمكن أن تتميز بأي عدد من الأطوار . وأما نبضتا الساعة اللتان لهما نفس التردد إلا أنهما لا تصعدان وتهبطان بنفس الوقت فإن أطوارهما مختلفة . فإذا صعدت إحداهما قبل الأخرى فإنها من المفترض بأن تقود الساعة الأخرى . وبالمثل يفترض أن تقوم الثانية بتأخير الأولى .

إن أطوار نبضات الساعة المختلفة يمكن أن تكون ذات فائدة جيدة في التصميم العددي . فهي يمكن أن تضمن التزامن من خلال الدارة .

يوضح الشكل ٧ — ٨ الأطوار المختلفة لنبضات ساعة تردداتها ١ ميغا هرتز و٢ ميغا هرتز و٤ ميغا هرتز و ٨ ميغا هرتز والتي تعتمد على إشارة ترددها ٨ ميغا هرتز (الأطوار منفصلة بمقدار ١٢٥ نانو ثانية) .



الشكل ٧ — ٨ — الأطوار المختلفة للساعة المعتمدة على ٨ ميغا هرتز .

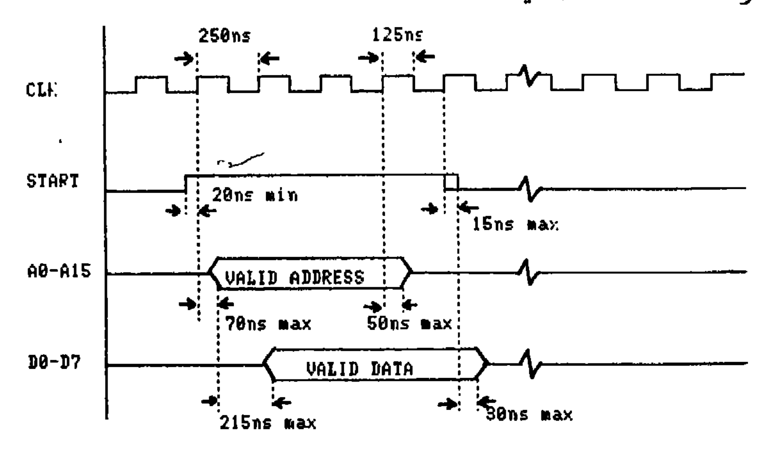
وكما يمكن أن نرى فإن نبضات الساعة 2M2, 2M0 يتم توليدها من 4M0 ؛ ونبضات الساعة 2M1 ، 2M3 من 4M1 ، و1M4, 1M0 من 2M0 ، إلخ .

تحتاج بعض الدارات إلى العديد من الأطوار المختلفة. فعند التصميم من المفيد في أغلب الأحيان أن يتوفر لدينا الشكل ٧ — ٨ أو ما يماثله وأن يكون هذا أمامنا لكي نتمكن من رؤية العلاقة بين نبضات الساعة المختلفة .

٧ — ٥ — إصطلاحات مخططات التوقيت

يوضح الشكل ٧ — ٩ مخطط توقيت نموذجي يحتوي على الإصطلاحات الأساسية المستخدمة في مخططات التوقيت . يمكن قراءة مخطط التوقيت المبين في الشكل ٧ — ٩ على النحو التالي .

تستغرق فترة إشارة CLK ٢٥٠ نانو ثانية وهي تعتبر عالية بالنسبة لفترة ١٢٥ نانو ثانية . إذا كانت إشارة START عالية بفترة ٢٠ نانو ثانية على الأقل قبل الطرف الصاعد من الإشارة CLK فإن A15 — A0 سيكون لها عنوان صحيح بحد أعظمي يساوي ٧٠ نانو ثانية بعد الطرف الصاعد لإشارة CLK . أما إشارة D7 — D0 فستكون ثابتة (صحيحة) بحد أعظمي يساوي ٢١٥ نانو ثانية بعد أن تكون إشارة A15 — A0 صحيحة .



الشكل ٧ — ٩ — اصطلاحات مخطط التوقيت

ستكون إشارة A15 — A0 صحيحة لفترة تقدر على الأقل بـ ٣ × ٢٥٠ نانو ثانية — ٧٠ = ٦٨٠ نانو ثانية .

وبعد أن تصبح A15 — A0 ثابتة فإن الطرف الصاعد الثالث لإشارة CLK سيجعل إشارة A15 — A0 تصبح غير صحيحة . وهذا يمكن أن يستغرق فترة تصل إلى ٥٠ نانو ثانية كحد أعظمي .

إن الطرف الصاعد لإشارة CLK بعد أن أصبحت إشارة A15 — A0 غير صحيحة تجعل إشارة START تنخفض . إن المنطقة المظللة هي طريقة أخرى لإظهار أن الإشارة يمكن أن تنخفض في أي وقت حتى ١٥ نانو ثانية بعد الطرف الصاعد لإشارة CLK . وبعد أن تكون إشارة START قد انخفضت فإن إشارة D7 — D0 ستصبح غير صحيحة بعد فترة تصل حتى ٣٠ نانو ثانية .

إن الإنكسار في مخطط التوقيت المبين بالإشارة (٧) يدل على أن الإشارات ستبقى بنفس الحالة لفترة غير محدودة (باستثناء الإشارة CLK التي تعتبر إشارة مستمرة) . وهذا يسمح بتفجرات نادرة الحدوث من النشاط على الإشارات المراد تبيانها على صفحة واحدة من الورق بدلاً من إستخدام ٧ أو ٨ صفحات معظمها بدون نشاط أو فاعلية على خطوط الإشارة .

إن مخطط التوقيت المبين في الشكل ٧ — ٩ مخصص لعملية قراءة الذاكرة . وسيتم تقديم مزيداً من التفاصيل عن هذا النوع من العمليات في الفصل التاسع .

٧ — ٦ — الخاتمة

يعتبر هذا الفصل مهماً للغاية بالنسبة لمصمم الدارات الرقمية وذلك بسبب أهمية التوقيت في عملية تصميم الجهاز بعد قراءة هذا الفصل ستتكون لدى القارىء معرفة عن أنواع المشاكل التي يحدثها التوقيت . وعندما يأخذ المصمم هذه المشاكل بعين الاعتبار فإن عمليات التصميم تصبح سهلة التحقيق والإثبات . لنتذكر أن معظم التصاميم لا تعتبر ذا قيمة بدون مخططات التوقيت .

الفصل ٨

علم الحساب يستخدم الدارات التكاملية

٨ ــ ١ ــ مقدمة

إن أي كتاب يبحث في الإلكترونيات الرقمية لن يكون كاملاً بدون وصف لبعض الدارات الحسابية المستخدمة في أجهزة الكومبيوتر .

تلعب الدارات الحسابية دوراً هاماً في الكثير من التصميمات وبشكل خاص في تصميم وحدة المعالجة المصغرة . إن وحدات المعالجة المصغرة ، كما هي مبينة في الفصل التاسع ، لها تعليمات تستخدم فيها الدارات الحسابية . من هذه التعليمات :

جمع ADD رقمين مع بعض
طرح رقم من آخر
ضرب رقمين مع بعض
تقسيم رقم على آخر

توجد بعض الدارات التكاملية المتوفرة التي تقوم أيضاً بعمليات حساب تتعلق بعلم المثلثات ، واللوغارتيمات ، إلخ . وهذه الدارات التكاملية سيتم بحثها فيما بعد .

وتتضمن الفقرة ٨ ــ ٢ توضيحاً لعملية الحساب الثنائي من أجل القراء الذين لا يعرفون شيئاً عنه .

٨ ــ ٢ ــ علم الحساب الثنائي

٨ ــ ٢ ــ ١ ــ الجمع الثنائي

هذه العملية هي من العمليات البسيطة جداً . وتوجد أربع قواعد أساسية :

1. 0+0=0.
2. 0+1=1.
3. 1+0=1.
4. 1+1=10.

وعدا عن هذه القواعد الأساسية الأربع فإن قواعد الجمع الثنائي تبقى هي نفسها كتلك الخاصة بالجمع العشري . ومنه تكون عملية جمع عددين مكونين من أربعة خانات مع بعضها بسيطة :

$$\begin{array}{r} 1010 \\ +\ 0111 \\ \hline 10001 \end{array} \qquad \begin{array}{r} 10 \\ +\ 7 \\ \hline 17 \end{array}$$

ونجد المكافىء العشري لعملية الحساب مبيناً إلى يمين الأرقام الثنائية . وستكون العملية قد تمت على النحو التالي :

1. 0 + 1 = 1 بدون حمل
2. 1 + 1 = 0 بحمل ١
3. 0 + 1 + حمل 1 = 0 بحمل ١
4. 1 + 0 + حمل 1 = 0 بحمل ١

تمرين

اجمع 10111010 و01100111 معاً وتحقق من الجواب بالتحويل إلى النظام العشري .

٨ ــ ٢ ــ ٢ ــ الطرح الثنائي

هذا الطرح مماثل للطرح العشري ، وفق القواعد التالية :

1. $0 - 0 = 0$.
2. $0 - 1 = 1$ مع استعارة (١)
3. $1 - 0 = 1$.
4. $1 - 1 = 0$.

ومنه

$$\begin{array}{r} 1011 \\ -\ 0101 \\ \hline 0110 \end{array}$$

وقد تم ذلك بواسطة :

1. $1 - 1 = 0$.
2. $1 - 0 = 1$.
3. $0 - 1 = 1$ مع استعارة (١)
4. $1 - 0 -$ استعارة $1 = 0$.

تمرين

اطرح 10111010 من 11010011 وتحقق من الجواب بالتحويل إلى النظام العشري .

٨ ـ ٢ ـ ٣ ـ عملية الضرب الثنائي

تتميز هذه العملية بالقواعد التالية :

1. $0 \times 0 = 0$
2. $0 \times 1 = 0$
3. $1 \times 0 = 0$
4. $1 \times 1 = 1$

ومنه

$$\begin{array}{r} 1101 \\ \times\ 1011 \\ \hline 1101 \\ 1101 \\ 0000 \\ 1101 \\ \hline 10001111 \end{array}$$

لقد تمت عملية الضرب على النحو التالي :

١ ـ هل أقل رقم من المضروب فيه = الصفر ؟

كلا ، إذن أضف المضروب إلى مسجل .

٢ ــ هل الرقم التالي للمضروب فيه = الصفر ؟

كلا ، إذن انقل رقم المسجل ١ وأضف المضروب إليه .

٣ ــ هل الرقم التالي للمضروب فيه = الصفر ؟

نعم ، إذن انقل رقم المسجل ١ ولا تضف المضروب .

٤ ــ هل الرقم الأخير من المضروب فيه = الصفر ؟

كلا ، إذن أنقل رقم المسجل ١ وأضف المضروب إليه .

تمرين

اضرب 11001110 في 101101 وتحقق من الجواب بالتحويل إلى النظام العشري .

٨ ــ ٢ ــ ٤ ــ عملية التقسيم الثنائي

هذه العملية تتم مثل التقسيم العشري ، بالطرح المتكرر (التقسيم الطويل) .

ومن ثم :

```
          111
110  | 101101
       110
       ------
       1010
        110
       ------
        1001
         110
       ------
         011
```

والباقي ١١ 111 = 110 ÷ 101101 ولذلك فإن

وفي النظام العشري ٤٥ ÷ ٦ = ٧ ويبقى معنا ٣ .

٨ ــ ٣ ــ الجامعات التامة

تعتمد هذه على القواعد البسيطة لعملية الجمع الثنائي .

لنفترض أنك أردت أن تجمع عددين ثنائيين مكون كل منهما من رقم واحد .

ستكون النتيجة مجموعاً مكوناً من رقم بخانة واحدة مع حمل رقم واحد ويتم الدلالة على الرقم المحمول بالحرف C وعلى المجموع بـ Σ (حرف يوناني كبير S يعرف باسم سيغما Sigma) . الجدول ٨ — ١ يمثل جدول صحة للجامع الذي نعنيه حيث B, A تمثلان المداخل .

A	B	Σ	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

الجدول ٨ — ٢ — جدول الصحة للجامع النصفي برقم عشري واحد

كما يتضح لنا من جدول الصحة $C = A.B$ و $\Sigma = A \oplus B$. ومن ثم فإن هذا الجامع يمكن إنتاجه باستخدام بوابتين فقط . وهذا يعرف بالجامع النصفي . يعتبر الجامع النصفي ذا فعالية جيدة جداً لجمع الأعداد الأحادية الأرقام . وإذا أردت أن تجمع عددين ذات أرقام متعددة فإنه يلزم مدخل حمل . ولإيضاح هذه النقطة يجب أن نتصور جمع رقمين ثنائيين معاً .

$$\begin{array}{r} 1101 \\ +\ 1011 \\ \hline 11000 \end{array}$$

يمكن تقسيم عملية الجمع هذه إلى أربعة عمليات متماثلة :

١ — جمع ١ + ١ بدون حمل يعطي مجموعاً مقداره صفر وحمل ١ .

٢ — جمع صفر + ١ مع حمل ١ يعطي مجموعاً مقداره صفر وحمل ١ .

٣ — جمع ١ + صفر مع حمل ١ يعطي مجموعاً مقداره صفر وحمل ١ .

٤ — جمع ١ + ١ مع حمل ١ يعطي مجموعاً مقداره ١ وحمل ١ .

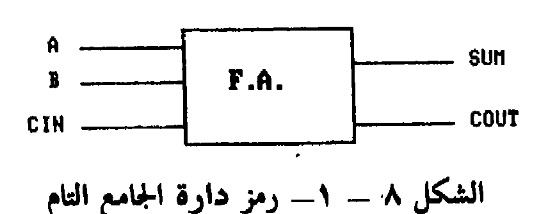
يعرف الجامع الذي له هذه الخاصية بالجامع التام . يوضح الجدول ٨ — ٢ جدول صحة للجامع التام . ونترك للقارىء تمريناً لإيجاد دارة للجامع التام برقم واحد .

CIN	A	B	Σ	COUT
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

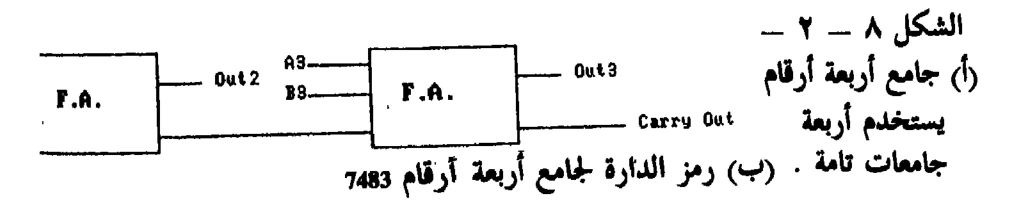
الجدول ٨ ــ ٢ ــ جدول الحقيقة للجامع التام لرقم واحد

لإصدار جامع ثنائي لأربعة أرقام ، فإن كل ما يلزم هو تجميع أربعة جامعات تامة بشكل منظم بحيث أن تنفيذ إحدها بدخل ضمن أدراج الآخر . يوضح الشكل ٨ ــ ١ رمزاً حراً للجامع التام . ويوضح الشكل ٨ ــ ٢ جامعاً لأربعة أرقام باستخدام أربعة جامعات تامة مع رمز الدارة لجامع تام ثنائي لأربعة أرقام 7484 .

الجامع التام ليس كاملاً ــ حيث توجد إعاقة إنتشار بين المداخل والمخارج . ومن ثم فإن الطريقة التي يتم بها تنفيذ عملية النقل في الجامع لأربعة أرقام يمكن أن تتسبب بحدوث مشكلة في الجامعات الأكبر ، طالما أن إعاقة الإنتشار بعملية الجمع ستكون (إعاقة الإنتشار لجامع رقم واحد) × (عدد الأرقام في الجامع) . يتم التغلب على المشكلة باستخدام مولد نقل أمامي .



الشكل ٨ ــ ١ــ رمز دارة الجامع التام



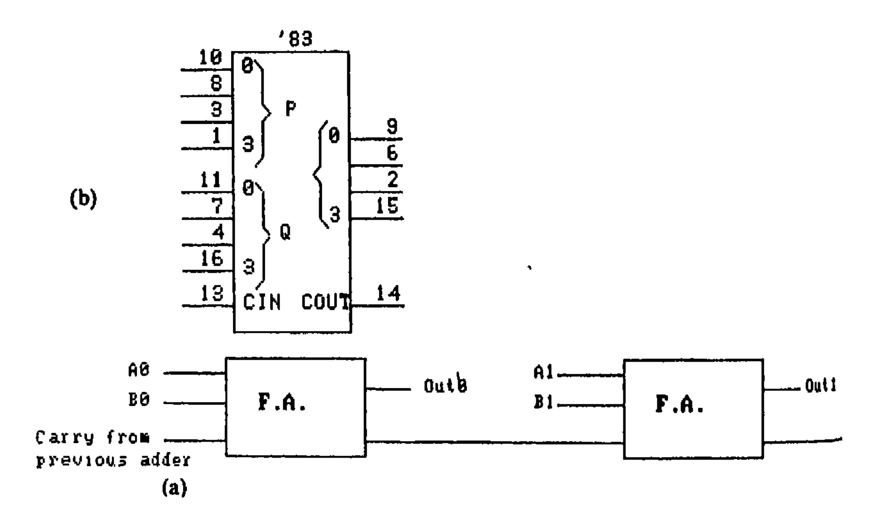
الشكل ٨ ــ ٢ ــ
(أ) جامع أربعة أرقام يستخدم أربعة جامعات تامة . (ب) رمز الدارة لجامع أربعة أرقام 7483

لتوضيح الكيفية التي يعمل بها مولد نقل أمامي فإننا سوف ننظر إلى جامع أربعة أرقام :

$C_0 = P_0.Q_0 \ (C_I = 0)$
$C_1 = P_1.Q_1 + P_1.C_0 + Q_1.C_0$ أن C_1 = ١ في حال أن أي مدخلين = ١
$= P_1.Q_1 + (P_1 + Q_1)C_0$
$= P_1.Q_1 + (P_1 + Q_1)P_0.Q_0$
$C_2 = P_2.Q_2 + (P_2 + Q_2)C_1$
$= P_2.Q_2 + (P_2 + Q_2) (P_1.Q_1 + (P_1 + Q_1) P_0.Q_0)$
$C_3 = P_3.Q_3 + (P_3 + Q_3)C_2$
$= P_3.Q_3 + (P_3 + Q_3) (P_2.Q_2 + (P_2 + Q_2) (P_1.Q_1 + (P_1 + Q_1)P_0.Q_0))$

الخ

قد تبدو هذه المعادلات معقدة إلا أنها توضح بأن كل مصطلح نقل يمكن توليده مباشرة عن طريق المداخل P و Q الأساسية بدون الحاجة إلى توليد مصطلحات نقل وسيطة . ومن ثم فإن الإنتشار ليس بحاجة إلى أن يكون محدوداً بنوع النقل المتموج . إن الجهاز الذي يستوعب المداخل P وQ وينتج النقلات أو الأحمال يعرف باسم مولد النقل الأمامي .



يتم صنع مولد أمامي بثلاثة أرقام بنوع TTL (٧٤١٨٢) ويوضح الشكل ٨ — ٣ رمز دارته . لاحظ كيف أن المداخل مقلوبة وأنه يوجد مخرجان إضافيان P (Propagate Carry) و G (Generote Carry) تستخدم هذه الإشارات مع الوحدة المنطقية الحسابية (التي سيتم وصفها فيما بعد) ليتم تجميع عدة مولدات 74182 بشكل تعاقبي مع بعض .

الشكل ٨ — ٣ — رمز الدارة لمولد نقل أمامي 74182

يمكن أن تتم عملية الطرح بجامع بدلاً من بناء طارح . وهذه هي الطريقة المستخدمة عادة . ومن ثم يمكن إستخدام دارة واحدة للجمع والطرح . لاستخدام جامع كطارح ، فإنه يجب اتباع الخطوات التالية :

في عملية الطرح X — Y :

١ — يتم عكس Y ، أي تغيير كل 1 إلى 0 والعكس بالعكس . وهذا يعرف باسم إكال الـ Y بالواحد .

٢ — تتم إضافة 1 إلى إكال الـ Y بالواحد . وهذا يعرف باسم إكال بالاثنين .

٣ — تتم إضافة إكال الـ Y بالاثنين إلى X .

٤ — يتم طرح الرقم الأكثر دلالة أو معنى ، وبذلك تبقى النتيجة .

توجد حالات خاصة . إلا أن هذه الحالات الآنفة هي المراحل الأساسية الأربع . النظرية الكامنة وراء هذه العملية بسيطة إلا أنها ليست لها صلة بموضوع هذا الكتاب . توجد كتب أخرى عديدة تتناول الأساليب الرقمية تحتوي على هذه النظرية .

٨ — ٤ — الوحدات المنطقية الحسابية (ALU)

إن هذه الوسائل ، كما يتضح من التسمية تقوم بالمهام الحسابية والمنطقية . توجد وحدة منطقية حسابية تنتج بنوع TTL — الـ 74181 . وهذه تشتمل على ١٦ مهمة حسابية و١٦ مهمة منطقية . وهذه نجدها مبينة في الجدول ٨ — ٣ . وباستخدام ١٦ وحدة منطقية حسابية 74S181 وخمس وحدات 74S182 يصبح بالإمكان إنجاز عملية جمع لـ ٦٤ رقماً خلال ٢٨ نانو ثانية. إن الـ ٦٤ رقماً تعطي حداً أعظمياً يبلغ ١,٨ × $١٠^{١٩}$ مع ١٩ رقماً للدقة . وإن تنفيذ هذه المهمة خلال ٢٨ نانو ثانية يعتبر إنجازاً عظيماً .

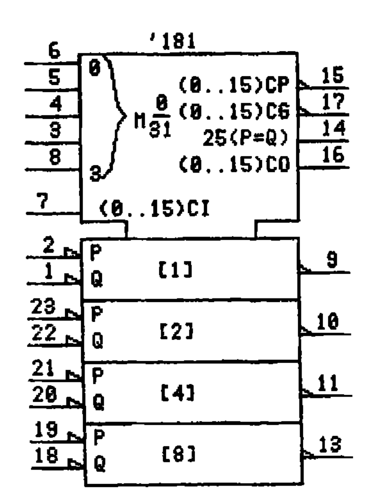
M	*Arithmetic Function*		*Logic Function*
	CI=0	*CI=1*	
0	A+1	A	
1	(A+B)+1	A+B	
2	$(A+\overline{B})+1$	$A+\overline{B}$	
3	0	−1 (2s complement)	
4	$A+A\overline{B}+1$	$A+A\overline{B}$	
5	$A\overline{B}+(A+B)+1$	$A\overline{B}+(A+B)$	
6	A−B	A−B−1	
7	$A\overline{B}$	$A\overline{B}-1$	
8	A+AB+1	A+AB	
9	A+B+1	A+B	
10	$AB+(A+\overline{B})+1$	$AB+(A+\overline{B})$	
11	AB	AB−1	
12	A+A+1	A+A	
13	(A+B)+A+1	(A+B)+A	
14	$(A+\overline{B})+A+1$	$(A+\overline{B})+A$	
15	A	A−1	
16			$\overline{A}$
17			$\overline{A+B}$
18			$\overline{A}B$
19			0
20			$\overline{AB}$
21			$\overline{B}$
22			$A \oplus B$
23			$A\overline{B}$
24			$\overline{A}+B$
25			$\overline{A \oplus B}$
26			B
27			AB
28			1

29	$A+\overline{B}$
30	$A+B$
31	A

الجدول ٨ ــ ٣ ــ المهام الحسابية والمنطقية للوحدة 74181

إن الـ 25 (P = Q) تعني بأن الدالة المطابقة لـ M = 25 سوف تشغل المقارنة بين P وQ . إن الدالة المطابقة لـ M = 25 هي $\overline{P \oplus Q}$ التي ستعادل ١ إذا كانت P=Q .

إن الـ (0....15) أمام CP, CG, CI وCO تعني بأن هذه الإشارات يتم تشغيلها فقط عندما تقع M في المجال ·:· ــ ١٥ ضمناً .



الشكل ٨ ــ ٤ ــ رمز دارة الوحدة 74181

تحتوي وحدات المعالجة المصغرة عادة على وحدات منطقية حسابية أقوى من الوحدة 74181 ، إلا أن المبدأ هو نفسه .

٨ ــ ٥ ــ *وحدات المعالجة الحسابية (APU)*

تصمم هذه الوسائل للتوسط بين جهاز معتمد على وحدة معالجة مصغرة . ستكون وحدة المعالجة المصغرة قادرة على القراءة من وحدة المعالجة الحسابية والكتابة

عليها عن طريق موصل المعلومات الخاص بها . تشتمل وحدة المعالجة الحسابية عادة على الوظائف التالية :

عمليات جمع وطرح وضرب وقسمة لعدد صحيح مكون من ١٦ — ٣٢ رقماً .

عمليات جمع وطرح وضرب وقسمة للفاصلة العائمة .

الدالات المثلثية .

اللوغارتيمات والقوى الجبرية .

تستخدم وحدة المعالجة الحسابية عادة لتسريع (زيادة سرعة) جهاز وحدة معالجة مصغرة الذي يستخدم الدالات الرياضية (مثل معظم البرامج العلمية المكتوبة لأجهزة الكومبيوتر) .

تقوم شركة انتل (Intel) بإنتاج وحدة معالجة حسابية تسمى بـ 8087 وهذه يمكن وصلها بوحدة المعالجة المصغرة 8086/8088 . يمكن اعتباره وحدة المعالجة الحسابية 8087 كامتداد لوحدة المعالجة المصغرة 8086/8088 . وتضيف ٦٨ معلومة إلى مجموعة معلومات الـ 8086/8088 بالإضافة إلى ثمانية مسجلات لـ ٨٠ رقماً على مجموعة المسجلات . تقوم وحدة المعالجة الحسابية 8087 بزيادة سرعة المعالجة الرقمية بعامل ١٠٠ . لقد تم تصميم وحدة المعالجة 8087 بشكل خاص من أجل وحدة المعالجة المصغرة 8086/8088 . وعلى أية حال توجد وحدات معالجة حسابية متعددة الأغراض يمكن لأي جهاز وحدة معالجة مصغرة أن يستخدمها . وهذه لا تزيد من سرعة عمل الجهاز بمقدار يساوي المقدار الذي تؤمنه وحدة المعالجة 8087 ، إلا أن الفرق في الإنجاز نلاحظه بسهولة . تقوم شركة انتل بإنتاج وحدتي معالجة حسابية متعددتي الأغراض ، هما الـ 8231 و8232 . توجد شركات أخرى عديدة مصنعة لوحدات المعالجة المصغرة تقوم بإنتاج وحدات المعالجة الحسابية .

٨ — ٦ — *الخاتمة*

نأمل بأن يكون هذا الفصل قد قدم للقارىء فكرة ما عن كيفية عمل الأجهزة

الحسابية مع استخداماتها . وكان من الممكن البحث في أجهزة عديدة
كتاب المعلومات TTL الذي يحتوي على العديد من الدارات التكاملي
إيضاحات عن استخداماتها ، ولكن النخبة المختارة يجب أن تكون ك
القارىء مهتماً بهذا المجال فإنه تتوفر عدة كتب معلومات مع الدار
الموجودة فيها .

الفصل ٩

وحدات المعالجة المصغرة

٩ ــ ١ ــ ما هي وحدة المعالجة المصغرة ؟

إن وحدة المعالجة المصغرة (µP) تعتبر قلب ما يسمى بالحاسوب المصغر والمايكروكومبيوتر (مثل الـ Apple™ والـ BBC micro والـ IBM pc ، إلخ) . وهي عبارة عن رقاقه LSI أو VLSI (وفي بعض الأحيان تكون مكونة من عدة رقاقات) تسمح داراتها المنطقية بإنجاز بعض المهام المعينة المرتبطة بأجهزة الكومبيوتر وهذه المهام نجدها محددة بمجموعة من التعليمات المرتبطة بالمايكروكومبيوتر .

التعليمات النموذجية هي :
تحميل المجمع برقم (يمكن اعتبار المجمع أيضاً كمسجل نقل) .
إضافة ٥ إلى محتويات المجمع .
تخزين محتويات المجمع .

إن العمل الأساسي لوحدة المعالجة المصغرة يكمن في قراءة المعلومات من جهاز الذاكرة والتفاعل مع تلك المعلومات وكتابة المعلومات بنقلها إلى جهاز الذاكرة (في الموضع المناسب) .

تتكون وحدة المعالجة المصغرة عادة من وحدة حسابية منطقية (ALU) ووحدة تحكم منطقية (CLU) . تقوم الوحدة المنطقية الحسابية بمعالجة كافة العمليات الرياضية (مثل الجمع ، والضرب ، إلخ) وأما وحدة التحكم المنطقية فإنها تعالج

تحولات المعلومات بين الذاكرة الخارجية والمسجلات الداخلية ، وبين المسجلات الداخلية ، إلخ .

تعرف وحدة المعالجة المصغرة باسم وحدة المعالجة المركزية (CPU) في الكومبيوتر المصغر (المايكروكومبيوتر) .

٩ ـ ٢ ـ *المخطط المبسط لوحدة المعالجة المصغرة*

يوضح الشكل ٩ ــ ١ ــ مخططاً مبسطاً لوحدة المعالجة المصغرة .

وإن أول شيء يجب ملاحظته حول الشكل ٩ ــ ١ هي الطريقة التي توضح الإتصال المتبادل بين المجموعات التي تتكون منها الوحدة . وهذه الطريقة تعبر عن الشكل القياسي المبيِّن للاتصالات المتبادلة بين المجموعات المكونة . وفي الواقع ليس هناك أي أهمية لكيفية رسم المخطط المبسط ، طالما أن هذا المخطط ويتضمن المعلومات الصحيحة .

الآن سيتم شرح المجموعات بشكل مفصل :

المجموعة المنطقية للساعة

تشتمل هذه المجموعة على ساعة خارجية بموجة مربعة (تتراوح عادة من ١ ميغا هرتز إلى ١٢ ميغا هرتز) ، وتصدر كافة نبضات الساعة اللازمة في وحدة المعالجة المصغرة .

مجموعة الوحدة المنطقية الحسابية (ALU) : وهذه تم وصفها سابقاً .

مجموعة مسجلات المجمع

وهذه عبارة عن مسجلات النقل PIPO وتستخدم كمسجلات احتواء للعمليات الحسابية والمنطقية والإدخال/والإخراج وقد يتراوح طولها من ٤ ــ ٣٢ رقماً وقد تحتوي وحدة المعالجة المصغرة على ١٦ مسجلاً أو أكثر .

عداد البرامج (PC)

هذا البرنامج مزود بوسيلة تحميل متوازية . يحتوي عداد البرامج على عنوان (في الذاكرة) المعلومة التالية التي يراد تحميلها في مسجل المعلومات بعد الإنتهاء من المعلومة الحالية .

مسجل المعلومات

يقوم مسجل المعلومات بتخزين رموز مصطلحات المعلومات (المحملة من الذاكرة) الخاصة بالمعلومة التالية التي يراد تنفيذها .

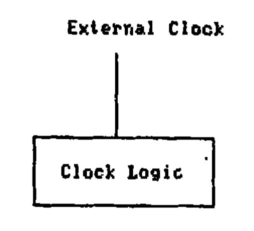
عداد المعطيات أو البيانات

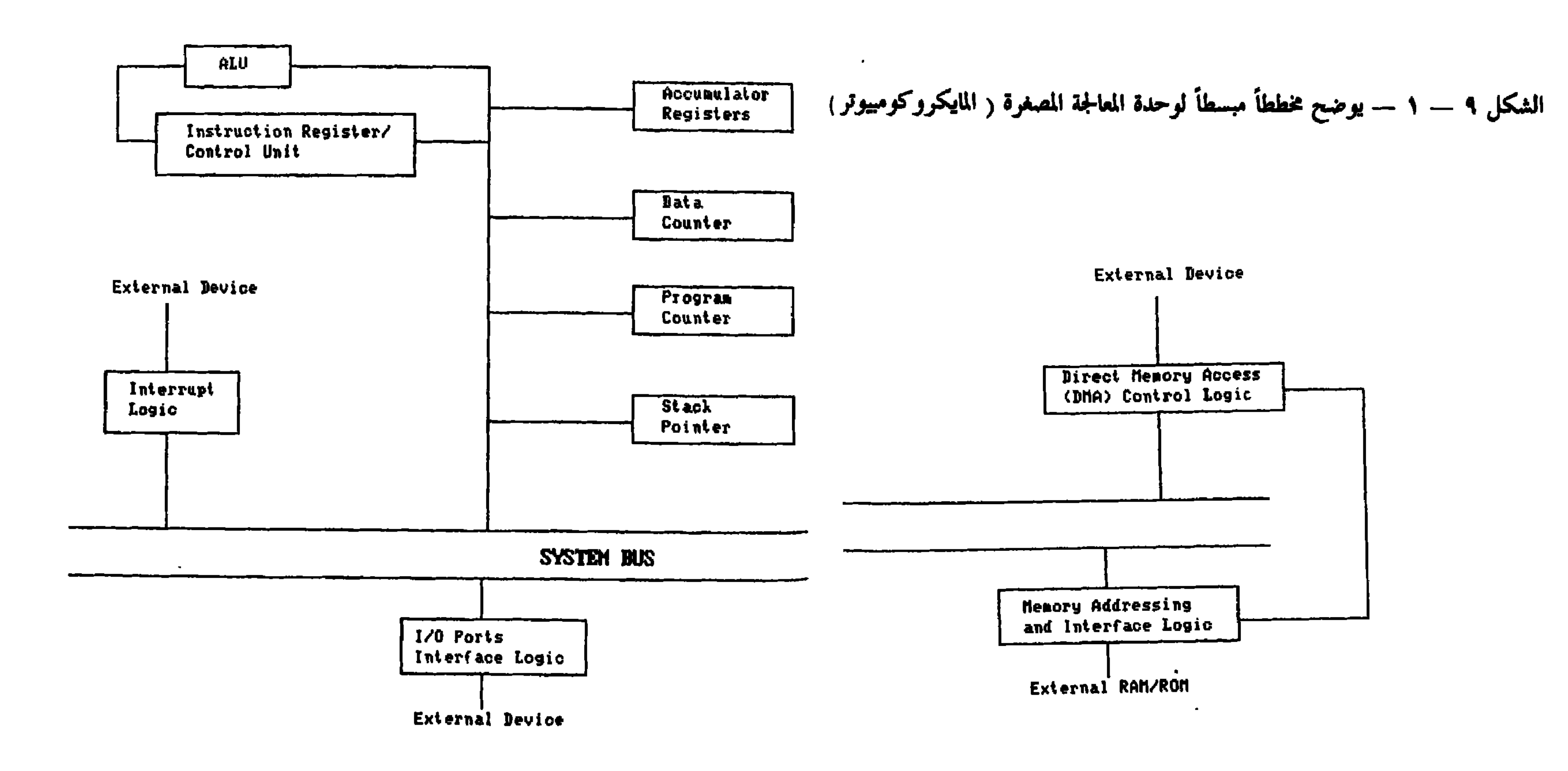
إن عداد البيانات هو عبارة عن مسجل يحتوي عنوان (في الذاكرة) البيانات المراد الوصول إليها بواسطة معلومة معينة .

مؤشر التخزين المؤقت : هذا عبارة عن مسجل يستوعب عنوان القسم العلوي من منطقة التخزين المؤقت في الذاكرة . وهذه المنطقة تستخدم للتخزين المؤقت للبيانات والعناوين . يوجد نوعان من عمليات التخزين المؤقت : وهما الكتابة على القسم العلوي من منطقة التخزين المؤقت (Push) والقراءة من القسم العلوي لمنطقة التخزين المؤقت (POP) . منطقة التخزين المؤقت (Stack) تشبه لمنطقة Last (LIFO) in First out Buffer .

المجموعة المنطقية الخاصة بالمقاطعة أو الإيقاف

قد تقتضي الضرورة من حين لآخر أن يقوم جهاز خارجي بقطع وإيقاف ما تقوم به وحدة المعالجة المصغرة من عمل وجعلها تؤدي وظيفة أخرى . وبعد أن يتم أداء هذه الوظيفة فإن وحدة المعالجة المصغرة يمكن أن تتابع عملها من حيث تم إيقافها . إن المجموعة المنطقية الخاصة بالمقاطعة تؤدي هذه المهمة بدفع عدد البرامج (PC) ومسجلات المجمع إلى منطقة التخزين المؤقت . وعند نهاية عملية القطع فإنه





الشكل ٩ — ١ — يوضح مخططاً مبسطاً لوحدة المعالجة المصغرة (المايكروكومبيوتر)

يتم إرجاع عداد البرامج والمسجلات إلى ما كانا عليه .

ذاكرة الدخول المباشر (DMA)

إن وحدات المعالجة المصغرة لا تستطيع أن تحول المجموعات الكبيرة من المعلومات بشكل سريع جداً . وإنما يتم هذا العمل بواسطة قسم خاص من الجهاز . وإن مثل هذه التحولات تكون في بعض الأحيان ضرورية . وللقيام بذلك تتوفر وسيلة تسمى بذاكرة الدخول المباشر (DMA) . عندما يتم استقبال طلب توصيل من قبل وحدة معالجة مصغرة فإنها سوف تجيب بعبارة ''Bus Grant'' والتي تخبر الجهاز الخارجي بأن وحدة المعالجة المصغرة قد أذعنت لطلباته . وعند حدوث ذلك فإن ممرات المعلومات والتحكم والعناوين الخاصة بوحدة المعالجة المصغرة جميعها تتفرق (أي أن وحدة المعالجة المصغرة تتلاشى من الدارة بشكل فعال بدون المساس بالممرات) . وعندما يصبح طلب التوصيل معطلاً فإن وحدة المعالجة المصغرة تقوم أيضاً بتعطيل وسيلة الـ ''Bus Grant'' ومن ثم تستمر الوحدة في عملها من حيث توقفت .

مخاطبة الذاكرة والمجموعة المنطقية البينية

تقوم وحدة المعالجة المصغرة بالكتابة إلى الذاكرة وذلك بوضع عنوان موقع الذاكرة على ممر العناوين والمعلومات المراد كتابتها على ممر المعلومات . ثم تقوم بعد ذلك بتشغيل إشارة الذاكرة وإشارة الكتابة . وبالمثل تتم عملية قراءة بوضع عنوان موقع الذاكرة على ممر العناوين وتشغيل إشارة الذاكرة أو إشارة القراءة ومن ثم قراءة المعلومات عن طريق ممر المعلومات .

ملاحظة : لايلزم لمواقع الذاكرة أن تكون RAM/ROM — إن المثبتة الثلاثية الوضعيات قد تكون لها مجموعة دارات كهربائية تعمل على فك رموزها كموقع للذاكرة . وهذا يعرف بتخطيط الذاكرة .

المجموعة المنطقية البينية لمنافذ أو مآخذ الدخل والخرج

يتم الوصول إلى منافذ الدخل والخرج بطريقة مماثلة للذاكرة . فهي تعمل كوسيلة

بينية بين جهاز المايكروكومبيوتر (مثل وحدة المعالجة المصغرة ، والذاكرة RAM والذاكرة ROM ، إلخ) . والعالم الخارجي . من الناحية المثالية بالنسبة لجهاز المايكروكومبيوتر سوف تكون الدارة التكاملية البينية للدخل والخرج متصلة بممرات العناوين والمعلومات والتحكم وستتم قراءتها وكتابتها باستخدام تعليمات الدخل/والخرج في مجموعة تعليمات وحدة المعالجة المصغرة .

تقوم وحدة المعالجة المصغرة بالقراءة والكتابة على مآخذ الدخل والخرج بالنسبة الطريقة الخاصة بالذاكرة .

باستثناء أن إشارة الدخل والخرج يتم تشغيلها بدلاً من إشارة الذاكرة .

وحدة التحكم

لقد تم ترك هذه المجموعة للأخير لأنها تعتبر قلب وحدة المعالجة المصغرة ومن ثم فهي الأكثر تعقيداً .

وللتحكم بوحدة المعالجة المصغرة فإن هناك مجموعة تعليمات مكونة من ما يسمى بالتعليمات الكبيرة mocroinstructions . وتقوم هذه التعليمات بإخبار وحدة المعالجة المصغرة بأن تقوم بإنجاز وظائف مختلفة ، مثل جمع رقمين في مسجلين مختلفين . وإن الطريقة التي تذعن بها وحدة المعالجة المصغرة لهذه التعليمات تتم على النحو التالي :

١ ــ تحريك محتويات المسجل A إلى ممر المعلومات .
٢ ــ تحريك محتويات ممر المعلومات إلى مسجل الجمع ١ الموجود في الوحدة المنطقية الحسابية .
٣ ــ تحريك محتويات المسجل B إلى ممر المعلومات .
٤ ــ تحريك محتويات وممر المعلومات إلى مسجل الجمع ٢ الموجود في الوحدة المنطقية الحسابية .
٥ ــ تشغيل وظيفة الجمع في الوحدة المنطقية الحسابية (جمع المسجلين ١ و ٢ ،

وتخزين النتجية في المسجل ٣) .

٦ ــ تحريك محتويات مسجل الجمع ٣ إلى ممر المعلومات .

٧ ــ تحريك محتويات ممر المعلومات إلى المسجل C .

تعرف هذه المراحل السبع باسم التعليمات المصغرة microimstructions . ولكل معلومة من التعليمات الكبيرة مجموعة من التعليمات المصغرة تتوافق معها . تقوم وحدة التحكم بتسلسل هذه التعليمات المصغرة وترتيبها بإخراج السياق المناسب لاشارات التحكم . وإن تسلسل أو سياق مجموعة مصطلحات الرموز الثنائية المطابقة لإشارات التحكم ، يعرف باسم البرنامج المصغر microprogram ، وهكذا فإن إحدى التعليمات الكبيرة تؤدي إلى تنفيذ كامل البرنامج المصغر .

تشتمل وحدات المعالجة المصغرة على برامج مصغرة ثابتة وبالتالي فإن لها مجموعة تعليمات محددة ثابتة . على أية حال توجد مجموعة من بلوكات البناء في وحدة المعالجة المركزية التي يمكنك بها أن تحدد برامجك المصغرة الخاصة بك .

تعرف بلوكات البناء هذه باسم المجموعة المنطقية لشريحة الخانات ونجدها موضحة في الفصل ١٣ .

٩ ــ ٣ ــ توقيت التعليمات

إن كافة العمليات في وحدة المعالجة المصغرة يتم التحكم بها بواسطة إشارة ساعية خارجية التي قد تكون عبارة عن مجرد بلورة أو ساعة متوافقة TTL . يتراوح تردد هذه الساعة من أقل من ١ ميغا هرتز إلى ما يزيد على ١٢ ميغا هرتز (في ١٩٨٥) .

يشتمل تنفيذ تعليمات وحدة المعالجة المصغرة على :

١ ــ إحضار التعليمات .

٢ ــ تنفيذ التعليمات .

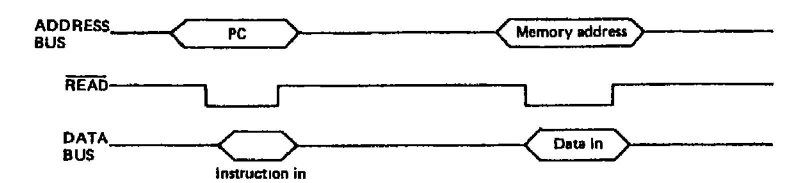
خلال مرحلة إحضار التعليمات تقوم وحدة المعالجة المصغرة بوضع محتويات عداد البرامج على ممر العناوين وتنفذ دورة قراءة . وهذه تخبر المجموعة المنطقية الخارجية

بوضع محتويات المركز الموجه العنوان إليه على ممر المعلومات . بعد ذلك يتم تخزين محتويات وممر المعلومات في مسجل المعلومات .

وبعد أن تتم تعبئة مسجل التعليمات فإن وحدة التحكم تقوم بتنفيذ البرنامج المصغر المناسب . وهذه هي مرحلة تنفيذ التعليمات .

تستغرق مرحلة إحضار التعليمات عادة من ثلاث إلى أربع نبضات ساعية وأما مرحلة تنفيذ التعليمات فإنها تستغرق على الأقل فترة نبضة ساعة واحدة .

إن التوقيت الخاص بتعليمات قراءة الذاكرة (مثلاً تحميل المجمع بالمعلومات من الذاكرة) نجده مبيناً في الشكل ٩ — ٢ .



الشكل ٩ — ٢ — التوقيت الخاص بقراءة الذاكرة

٩ — ٤ — *مجموعات التعليمات*

تحتوي جميع وحدات المعالجة المصغرة على نوعية واحدة من التعليمات . ونجد فيما يلي أنواع هذه التعليمات وهي تعرف بمجملها كمجموعة تعليمات .

قد تنقسم مجموعة التعليمات إلى تسع مجالات واسعة . وهي :

تعليمات الدخل/والخرج
تعليمات مرجع الذاكرة
تعليمات فورية
تعليمات فرعية
تعليمات التسجيل

تعليمات التخزين المؤقت .

تعليمات الإيقاف أو القطع

تعليمات الحالة الراهنة

تعليمات التوقيف

٩ ــ ٤ ــ ١ ــ تعليمات الدخل/والخرج

تتضمن هذه التعليمات عادة إرسال أو استقبال بايت (byte) من المعلومات إلى أو من مأخذ دخل/خرج .

٩ ــ ٤ ــ ٢ ــ مرجع الذاكرة

إن أبسط مرجع للذاكرة هو المخاطبة المباشرة :

تحميل المجمع بالبيانات عند موقع الذاكرة .

تخزين محتويات المجمع في موقع الذاكرة .

وهناك نوع آخر من المرجع للذاكرة وهو المخاطبة المضمنة :

تحميل المجمع بالبيانات عند موقع الذاكرة المخاطبة بواسطة مسجل .

تخزين محتويات المجمع في موقع الذاكرة المخاطبة بواسطة مسجل .

(إن المخاطبة المضمنة تشتمل في الغالب على خصائص أوتوماتيكية تتعلق بالزيادة والنقصان ــ حيث يتم جمع ١ أو طرح ١ إلى أو من المسجل قبل أو بعد تحويل الذاكرة) .

يوجد نوع ثالث من المرجع للذاكرة وهو مرجع الذاكرة الثانوي :

إضافة معطيات عند موقع الذاكرة إلى المجمع .

طرح معطيات عند موقع الذاكرة من المجمع .

وبيانات عند موقع الذاكرة مع المجمع .

ومقارنة البيانات أو المعطيات عند موقع الذاكرة مع المجمع ، إلخ .

٩ ــ ٤ ــ ٣ ــ التعليمات الفورية

تقوم هذه التعليمات بتنفيذ العمليات على المجمع :

إضافة ٥ إلى المجمع

والمجمع بـ 47H

وعكس محتويات المجمع

ومقارنة محتويات المجمع مع 7CH (لاحظ الفرق بين هذه التعليمات والتعليمات الواردة في الفقرة ٩ ــ ٤ ــ ٢) إلخ .

٩ ــ ٤ ــ ٤ ــ التعليمات الفرعية

هذه تعمل على عداد البرامج :

القفز إلى عنوان الذاكرة (تحميل عداد البرامج بالعنوان) .

القفز بالنسبة للبيانات (إضافة بيانات فورية إلى عداد البرامج) .

القفز إلى البرنامج الفرعي (وضع عداد البرامج في منطقة التخزين المؤقت ومن ثم تحميل عداد البرامج بالعنوان) .

الرجوع من البرنامج الفرعي (دفع منطقة التخزين المؤقت إلى عداد البرامج) إلخ .

٩ ــ ٤ ــ ٥ ــ تعليمات التسجيل

وهذه يتعلق عملها بالمجمعات :

تحريك محتويات المجمع A إلى المجمع B

إضافة محتويات المجمع A إلى المجمع B

طرح محتويات المجمع A من المجمع B

تدوير محتويات المجمع A ، إلخ

٩ ــ ٤ ــ ٦ ــ تعليمات خاصة بالتخزين المؤقت

وهذه يتعلق عملها بالتخزين المؤقت :

دفع المسجل إلى منطقة التخزين المؤقت.

إرجاع المسجل عن منطقة التخزين المؤقت

تحميل مؤشر التخزين المؤقت بالبيانات (أي إخبار وحدة المعالجة المصغرة عن مكان وجود منطقة التخزين المؤقت في الذاكرة) ، إلخ .

٩ ــ ٤ ــ ٧ ــ تعليمات القطع والإيقاف

وهذه تتعلق بالإنقطاعات أو التوقفات :

تنفيذ التوقفات

وقف تنفيذ التوقفات

الرجوع عن حالة الإيقاف

٩ ــ ٤ ــ ٨ ــ تعليمات الوضع الحالي

تقوم هذه التعليمات بضبط أو إعادة ضبط خانات الحالات الأربع في المسجل (Sing, Carry, Overflow و Zero) .

ضبط راية الإشارة .

إعادة ضبط راية الصفر ، إلخ .

٩ ــ ٤ ــ ٩ ــ التوقف

عندما يتم تنفيذ هذه التعليمات فإن وحدة المعالجة المصغرة تتوقف ولا يمكن إعادة تشغيلها إلا بواسطة وسيلة الـ Interrupt أو إعادة الضبط Reset .

لكل معلومة من التعليمات مجموعة مكونة من ٨ أو ١٦ خانة (وحتى ٣٢ خانة بالنسبة لوحدة معالجة مصغرة لـ ١٦ خانة) وهذه تحدد بشكل متميز المهمة التي تقوم بها . تعرف مجموعات الأرقام هذه باسم Machine Code . على أية حال إن كتابة البرنامج بالنظام الست عشري صعب جداً ولذلك فقد تم تطوير لغة برمجة لكل وحدة معالجة مصغرة للمساعدة في الفهم . وتعرف هذه اللغات باسم لغات

التجميع (Assembly) وهي تتكون من مجموعة من الرموز التي تتطابق بشكل مباشر مع مجموعة المصطلحات machine code .

٩ ـ ٥ ـ وحدة المعالجة المصغرة لِـ ٨ خانات

إن وحدات المعالجة المصغرة لـ ٨ خانات الأكثر إستخداماً هي تلك المبينة في الجدول ٩ ـ ١ . وإن كافة وحدات المعالجة المصغرة ذات الـ ٨ خانات تحتوي على ممر معلومات بـ ٨ خانات وممر عناوين بـ ١٦ خانة (والتي تسمح بمخاطبة ٦٤ كيلو بايت) .

الشركة الصانعة	التسمية
Motorola	6800
Motorola	6809
Mostek	6502
Intel	8085
Zilog	Z80

الجدول ٩ ـ ١ ـ وحدات المعالجة المصغرة لثمانية خانات الأكثر استخداماً

إن جميع وحدات المعالجة المصغرة هذه مختلفة التركيب نوعاً ما . يتضمن الجدول ٩ ـ ٢ مقارنة بين الخصائص المختلفة التي تتميز بها كل وحدة من وحدات المعالجة المصغرة .

الخاصة	6800	6809	6502	8085	Z80
عدد طرق المخاطبة	٧	١٠	٦	٧	٩
التوقفات الخفية	١	١	١	٣	١
التوقفات غير الخفية	١	١	١	١	١
المسجلات الداخلية	٦	٩	٦	١٠	٢٢
التردد الأعظمي	٢ميغاهرتز	٢ ميغاهرتز	٣ ميغاهرتز	٥ ميغاهرتز	٨ ميغاهرتز
مأخذ الدخل/والخرج المسلسل	معدوم	معدوم	معدوم	موجود	معدوم
إشارة تجديد الـ RAM الديناميكية	معدوم	معدوم	معدوم	معدوم	موجود

الجدول ٩ ـ ٢ ـ مقارنة بين وحدات المعالجة المصغرة لثمانية خانات

شرح الجدول ٩ ـ ٢ :

عدد طرق المخاطبة : مثلاً مباشرة ، متضمنة ، إلخ .

التوقف الخفي : وهو التوقف الذي يمكن وقف تنفيذه بواسطة وحدة المعالجة المصغرة .

التوقف غير الخفي : وهو التوقف الذي لا يمكن وقف تنفيذه بواسطة وحدة المعالجة المصغرة .

المسجلات الداخلية : كافة المجمعات ، ومؤشرات مناطق التخزين المؤقت .

التردد الأعظمي : مقدار سرعة عمل وحدة المعالجة المصغرة .

مأخذ الدخل/الخرج المسلسل : يمكن لوحدة المعالجة 8085 أن تستقبل أو ترسل معلومات متسلسلة .

إشارة التجديد لذاكرة RAM الديناميكية : وحدة المعالجة Z80 يمكنها أن تجدد نشاط الذاكرات RAM الديناميكية .

Name	*Maximum clock frequency*	*Approximate 1985 cost*
MC6800	1 MHz	£3.50
MC68A00	1.5 MHz	£4.00
MC68B00	2 MHz	£4.50
MC6809	1 MHz	£7.50
MC68A09	1.5 MHz	£14.00
MC68B09	2 MHz	£17.00
6502	1 MHz	£5.00
6502A	2 MHz	£7.00
6502B	3 MHz	£9.00
8085A	3 MHz	£2.00
8085A-2	5 MHz	£5.00
Z80 CPU	2.5 MHz	£3.00
Z80A CPU	4 MHz	£5.00
Z80B CPU	6 MHz	£9.00
Z80H CPU	8 MHz	Not available

الجدول ٩ ـ ٣ ـ يوضح الدارات التكاملية المختلفة مع أسعارها التقريبية لعام ١٩٨٥

إن معظم التصميمات الجديدة مع وحدات المعالجة المصغرة لثمانية خانات تتم مع الأنواع Z80 . وهذه يعود سببها إلى سهولة استخدامها ورخص ثمنها وتوفرها . القسم الثاني مخصص لخصائص الطراز Z80 .

٩ ـ ٦ ـ وحدة المعالجة المركزية Z80

إن وحدة المعالجة المركزية Z80 نجدها محتواة ضمن دارة تكاملية ذات ٤٠ رجلاً ، والتي نرى شكلها مبيناً في الشكل ٩ ــ ٣ .

Z80 CPU

+5V Pin 11
0V Pin 29

الشكل ٩ ــ ٣ ــ رمز دارة وحدة المعالجة Z80 مع مخططها

إن رمز الدارة لا يستخدم مجموعة رموز التبعية لأن الرمز الكامل سوف يكون معقداً بدون ضرورة بالنسبة للقارىء . الأرجل تتميز بالمهام التالية .

A0 — A15 (مخرج ثلاثي الحالات) وهو وسيلة توصيل لعنوان ١٦ خانة قادرة على مخاطبة ٦٥٥٣٦ موضعاً متميزاً .

DO — D7 (مخرج/مدخل ثلاثي الحالات) وهو وسيلة توصيل معلومات ٨ خانات لتحويل المعلو مات .

$\overline{RFSH}$ (مخرج) . عند الانخفاض فإن $\overline{RFSH}$ تدل على أن الخانات السبعة الدنيا لممر العناوين تحتوي على عنوان تجديد لذاكرات RAM الديناميكية (انظر الفصل العاشر) .

$\overline{RD}$ (مخرج ثلاثي الحالات) . عند الانخفاض فإنه $\overline{RD}$ تدل على أن وحدة المعالجة المركزي تريد أن تقرأ المعلومات من الذاكرة أو وسيلة خرج/دخل .

$\overline{WR}$ (مخرج ثلاثي الحالات) . عند الانخفاض فإن $\overline{WR}$ تدل على أن وممر المعلومات يجب أن يتم تخزين المعلومات التي عليها في الذاكرة أو وسيلة مدخل/مخرج .

$\overline{MREQ}$ (مخرج ثلاثي الحالات) . عند الإنخفاض فإن $\overline{MREQ}$ تدل على أن ممر العناوين تحتوي على عنوان صحيح فيها .

$\overline{IORQ}$ (مخرج ثلاثي الحالات) . عند الإنخفاض فإن $\overline{IORQ}$ تدل على أن النصف السفلي من ممر العناوين لها عنوان مخرج/مدخل صحيح فيها . يتم تولد $\overline{IORQ}$ أيضاً مع $\overline{M1}$ عند حصول حالة توقف .

$\overline{M1}$ (مخرج) . عندما تكون $\overline{M1}$ منخفضة فإن وسيلة إحضار المعلومات تكون بحالة تشغيل . تحدث $\overline{M1}$ أيضاً مع $\overline{IORQ}$ خلال دورة حصول توقف .

CLK (مدخل) . مدخل للساعة .

$\overline{RESET}$ (مدخل ، منخفض فعال) . عند الانخفاض فإن وسيلة RESET ستؤدي المهام التالية :

١ — ضبط عداد البرامج على 0000 .

٢ — وقت تنفيذ التوقفات

٣ — ضبط زوج التسجيل 1R على 0000 .

٤ — ضبط طريقة الإيقاف على الصفر (0) .

$\overline{NMI}$ (مدخل ، الطرف السالب مطلق) . عندما تتغير $\overline{NMI}$ من ١ إلى صفر فإن وحدة المعالجة المركزية سوف تحفظ عداد البرامج على منطقة التخزين المؤقت وتقفز إلى الموقع 0066H في الذاكرة مباشرة بعد معالجة التعليمات الحالية . إن لِـ $\overline{NMI}$ خاصية الأسبقية على الـ $\overline{INT}$.

$\overline{INT}$ (مدخل ، منخفض ، فعال) . عندما تكون $\overline{INT}$ منخفضة وتكون $\overline{BUSRQ}$ مرتفعة ولا تكون راية الإيقاف ممنوعة من التنفيذ فإن وحدة المعالجة المركزية سوف تتقبل الإيقاف فوراً بعد معالجة التعليمات الحالية . يمكن لوحدة المعالجة المركزية أن تستجيب لِـ $\overline{INT}$ بثلاث طرق — تبين فيما بعد .

$\overline{WAIT}$ (مدخل ، منخفض فعال) . إذا كانت $\overline{WAIT}$ منخفضة خلال T2 (سيتم شرحها فيما بعد) ، فإن وحدة المعالجة المركزية سوف تدخل حالات الانتظار في عملية المعالجة . إن حالة الانتظار تجمد معالجة وحدة المعالجة المركزية بشكل فعال . تستخدم إشارة $\overline{WAIT}$ لمزامنة الذاكرة ووسائل المدخل/والمخرج . والتي تعمل عند أية سرعة ، على وحدة المعالجة المركزية .

$\overline{BUSRQ}$ (مدخل ، منخفض فعال) . عندما تنخفض إشارة $\overline{BUSRQ}$ فإن وحدة المعالجة المركزية سوف تصبح بوضعية ثلاثية الحالات (إن كافة المداخل والمخارج الثلاثية الحالات على وحدة المعالجة المركزية سوف تختفي بشكل فعال من الدارة) عند نهاية دورة آلية وحدة المعالجة المركزية الحالية .

$\overline{HALT}$ (مخرج ، منخفض فعال) . عند الانخفاض ، فإن وحدة المعالجة

المركزية تكون قد نفذت تعليمات توقف وسوف لن تستجيب لأية إشارة باستثناء الإيقاف . وأثناء الإيقاف فإن وحدة المعالجة المركزية سوف تنفذ NOP لكي تتم إمكانية تجديد الذاكرة .

$\overline{BUSAK}$ (مخرج ، منخفض فعال) . عند الإنخفاض فإن وحدة المعالجة المركزية تصبح بوضعية ثلاثية الحالات . سوف ترتفع هذه الإشارة بعد أن ترتفع الـ $\overline{BUSRQ}$.

لاحظ بأن رمز الدارة لا يستخدم رموز التبعية . وهذا يعود سببه إلى تعقيد الرمز الكامل بدون ضرورة على القارىء .

٩ ــ ٦ ــ ١ ــ توقيت وحدة المعالجة المركزية Z80

تشتمل وحدة المعالجة المركزية Z80 على ستة أنواع مختلفة من العمليات وهي :

إحضار المعلومات
قراءة/وكتابة على الذاكرة
قراءة/وكتابة على المدخل/والمخرج
طلب توقف/حصوله
طلب توقف غير مخفي/حصوله
طلب وسيلة توصيل/حصوله

تستغرق هذه العمليات بين ثلاث إلى ست دورات ساعية (تعرف باسم حالات T بهذا السياق) في حال عدم إدخال حالات انتظار . توضح الأشكال من ٩ ــ ٤ إلى ٩ ــ ٩ مخططات التوقيت لهذه العمليات . يقدم الشكل ٩ ــ ٤ خصائص الـ .a.c للأنواع المختلفة من وحدة المعالجة المركزية Z80 . والسبب في تضمين المجموعة الكاملة من مخططات التوقيت وخصائص الـ .a.c هو أهمية فهم القارىء بشكل دقيق لكيفية عمل وحدة المعالجة المركزية Z80 وبالإضافة إلى ذلك فإن معظم مخططات توقيت وحدة المعالجة المركزية Z80 (كما هو بالنسبة لمعظم وحدات المعالجة المصغرة) . تكون صعبة التناول بلمحة عاجلة بينما نجد أن المخططات

التالية سهلة وبسيطة التتبع والفهم . وإن إحداث أنواع مماثلة من مخططات التوقيت لوحدات المعالجة المصغرة الأخرى لا يعتبر صعباً للغاية — وإنما تحتاج فقط لأن تكون المعلومات التي تقدمها صحيحة وتامة .

لاحظ كيف أن حالة الانتظار تحدث بين T_2 وT_3 . يتم اختيار خط مدخل الانتظار $\overline{WAIT}$ بواسطة وحدة المعالجة المركزية Z80 على الطرف النازل من T_2 . فإذا كانت منخفضاً فإن حالات الانتظار سيتم إدخالها إلى أن يرتفع ثانية . لاحظ أيضاً كيف أن فترات الإعداد والتثبيت يجب أن يتم الالتزام بها .

يوضح الشكل ٩ — ٤ توقيت عملية إحضار التعليمات . وهذا يعرف باسم دورة M1 . تعتمد حالة $\overline{RFSH}$ على هذه الدورة (حيث يتم توفر عنوان التجديد خلال T_3 وT_4) . يتم تثبيت المعلومات بواسطة وحدة المعالجة المركزية على الطرف الصاعد من T_3 . ويقوم الطرف الصاعد من T_3 أيضاً بقطع الإشارات $\overline{RD}$ و$\overline{MREQ}$. إن المعلومات في دورة قراءة الذاكرة يتم تثبيتها على الطرف النازل من T_3 . وكما يتضح في الشكل ٩ — ٦ فإنه يتم إدخال حالة إنتظار واحدة أوتوماتيكياً في دورة دخل/وخرج (I/O Cycle) . وهذا بالإضافة إلى أية حالات إنتظار مطلوبة عن طريق الأجهزة الخارجية .

يتم إختبار عينة من $\overline{INT}$ بواسطة وحدة المعالجة المركزية على الطرف الصاعد من آخر دورة T للتعليمات . يتم دائماً إدخال حالتي إنتظار لحالة توقف (قطع) مهما تكن الطريقة المستخدمة . سيتم قبول $\overline{INT}$ إذا كانت الـ $\overline{BUSRQ}$ مرتفعة و لم تكن حالة التوقف غير منفذة . الطرق الثلاث لـ $\overline{INT}$ هي :

Mode O يقوم جهاز القطع (الإيقاف) بوضع تعليمات على ممر المعلومات التي تتم قراءتها وتنفيذها بواسطة وحدة المعالجة المركزية . يمكن لجهاز القطع أن يزود وحدة المعالجة المركزية بأية تعليمات (مثلاً طلب ثلاثي البايت إلى برنامج معين) . مع العلم بأن تعليمات إعادة التشغيل

M1 cycle

T_1 T_2 T_3 T_4

CLK

t_c $t_{w(CL)}$ $t_{w(CH)}$

A0–A15 PC REFRESH ADDRESS

$t_{D(AD)}$ $t_{D(AD)}$

$\overline{MREQ}$

$t_{DL\bar{\Phi}(MR)}$ $t_{DH\Phi(MR)}$ $t_{DL\bar{\Phi}(MR)}$ $t_{DH\bar{\Phi}(MR)}$

$\overline{RD}$

$t_{DL\bar{\Phi}(RD)}$ $t_{DH\Phi(RD)}$

$\overline{WAIT}$

$\overline{M1}$

$t_{DL(M1)}$ $t_{DH(M1)}$

D0–D7 IN

$t_{s\Phi(D)}$ t_H

$\overline{RFSH}$

$t_{DL(RF)}$ $t_{DH(RF)}$

(a) Without wait state

M1 cycle

T_1 T_2 T_w T_3 T_4

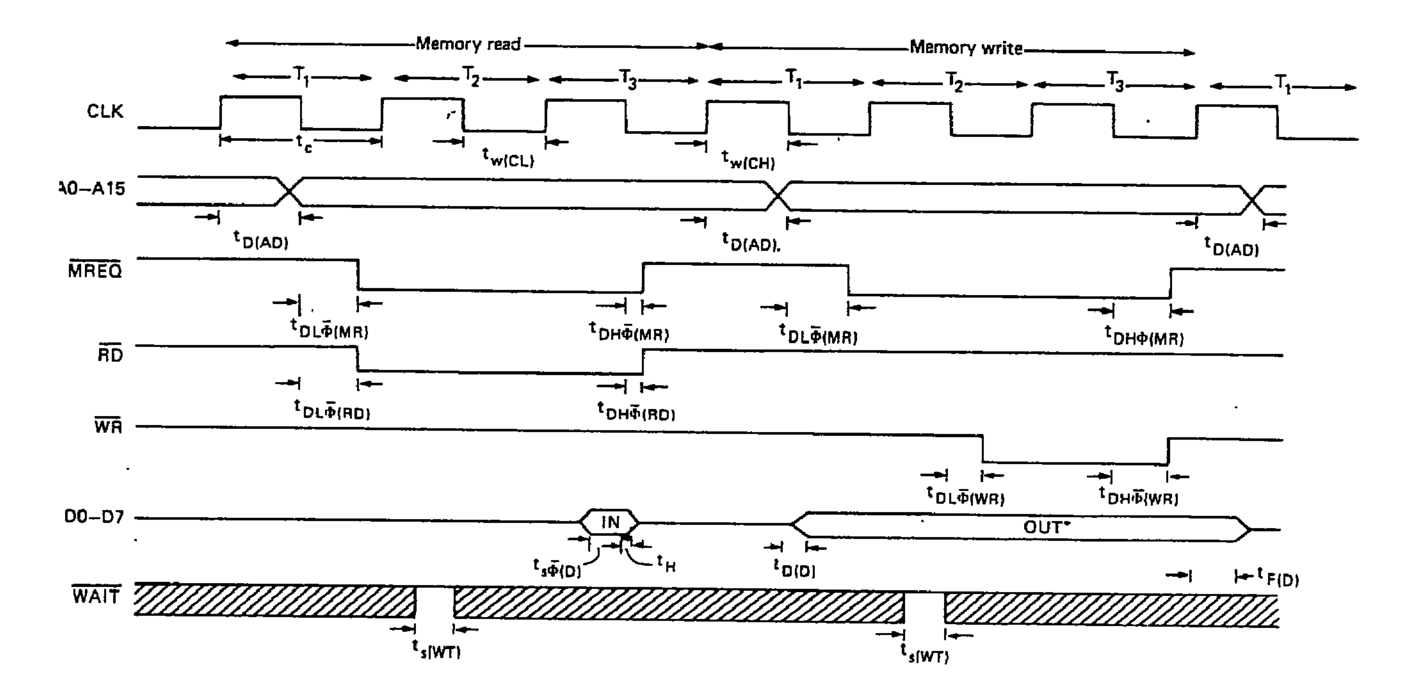
PC REFRESH ADDRESS

$t_{s(WT)}$ t_H

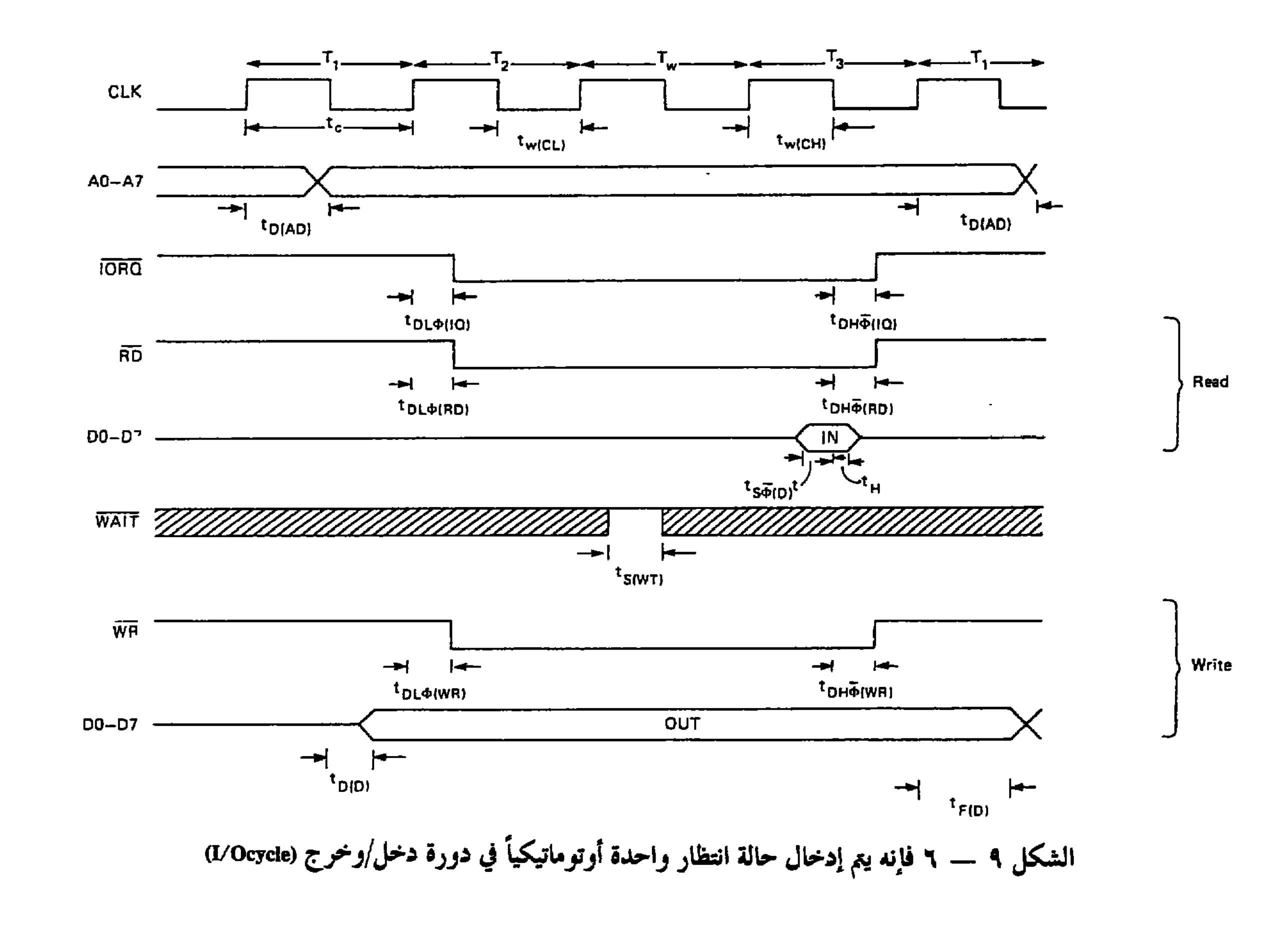
(b) With wait state

Figure 9.4 Instruction fetch

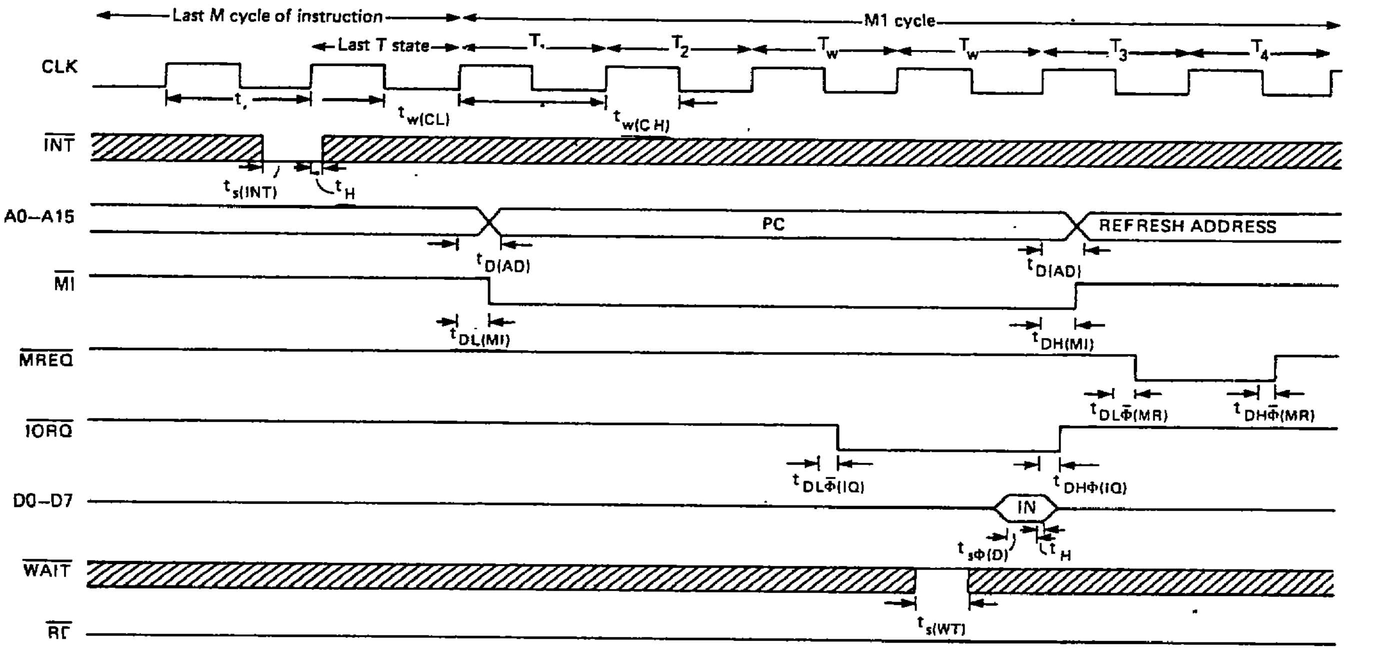
الشكل ٩ — ٤ توقيت عملية إحضار التعليمات وهذا يعرف باسم دورة M_1



الشكل ٩ — ٥ ذاكرة كتابة/قراءة



الشكل ٩ ــ ٦ فإنه يتم إدخال حالة انتظار واحدة أوتوماتيكياً في دورة دخل/وخرج (I/Ocycle)



الشكل ٩ ــ ٧ ــ مخططات التوقيت لوحدات المعالجة المصغرة

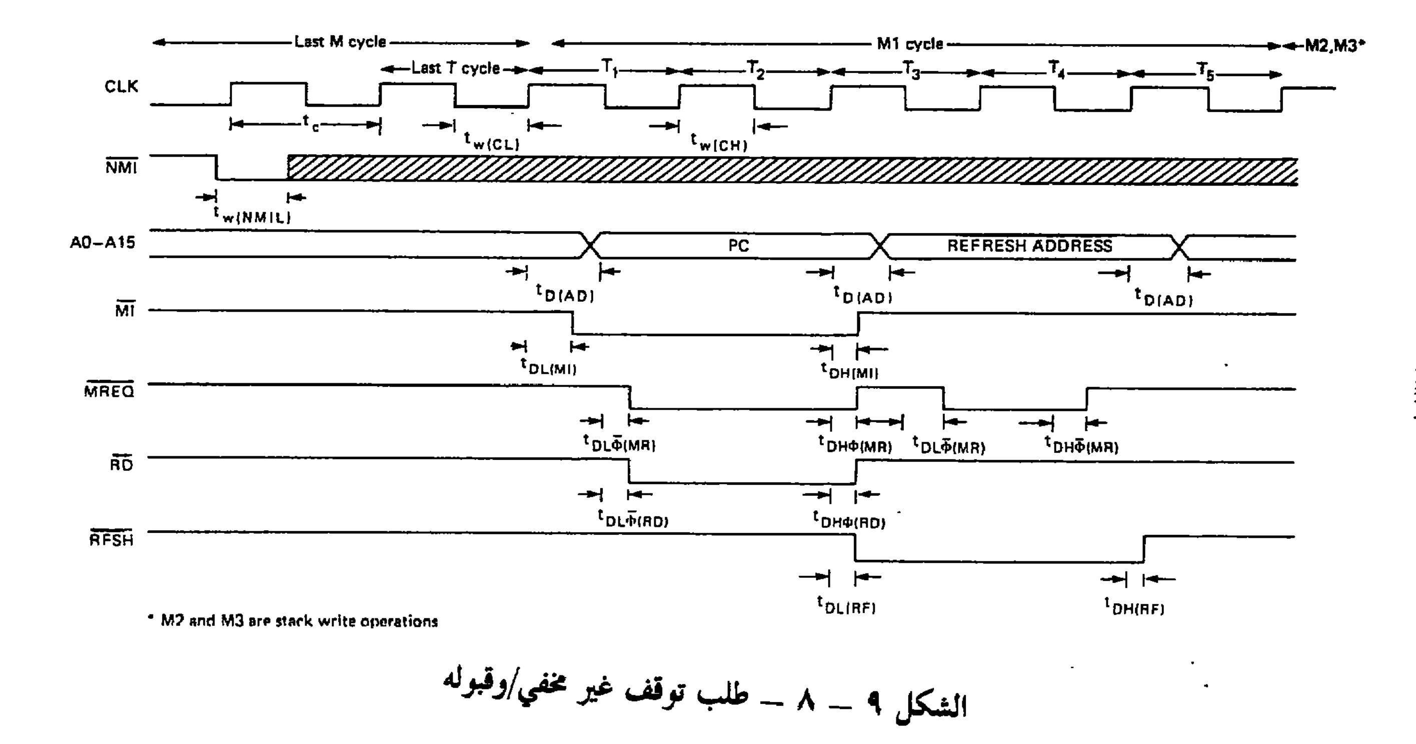
الأحادية البايت تعتبر شائعة أيضاً .

Mode 1 بهذه الطريقة ستقوم وحدة المعالجة المركزية أوتوماتيكياً بالقفز إلى الموضع 0038H .

Mode 2 سيقوم جهاز القطع بوضع بايت على ممر المعلومات التي ستتم قراءته بواسطة وحدة المعالجة المركزية (أقل رقم معنوي يجب أن يكون صفراً) واستخدامه كالبايت المنخفض لقفزة ١٦ خانة يأتي البايت المرتفع من المسجل ١ ويجب أن يتم تخزينه هناك من قبل المبرمج .

إن نبضة على $\overline{NMI}$ تؤدي إلى وضع وسيلة تثبيت في وحدة المعالجة المركزية التي يتم اختبارها بواسطة وحدة المعالجة المركزية عند نهاية كل معلومة من التعليمات (خلافاً لـ $\overline{INT}$ التي يتم اختبارها بشكل مباشر) .

يتم اختبارها عينة من $\overline{BUSRQ}$ بواسطة وحدة المعالجة المركزية على الطرف الصاعد من آخر حالة T لدورة آلية . لاحظ كيف أن حالة $\overline{RFSH}$ تصبح ثلاثية الحالات عند التعرف على $\overline{BUSRQ}$ وبالتالي إذا بقيت $\overline{BUSRQ}$ فعالة لفترة طويلة (أكبر من ١ ميلي ثانية) فإن الذاكرات RAM الديناميكية قد تصبح فاسدة .



الشكل ٩ ـ ٨ ـ طلب توقف غير مخفي/وقبوله

Any M cycle
Bus available states
Last T state
T_x
T_x
T_x
T_1
CLK
t_c
$t_{w(CL)}$
$t_{w(CH)}$
$\overline{BUSRQ}$
$t_{s(BR)}$
$t_{s(BR)}$
$\overline{BUSAK}$
$t_{DL(BA)}$
$t_{DH(BA)}$
A0–A15
Tristate (floating)
D0–D7
$\overline{MREQ}$, $\overline{RD}$
$\overline{WR}$, $\overline{IORQ}$, $\overline{RFSH}$

الشكل ٩ ـ ٩ ـ طلب وسيلة توصيل/قبوله

SIGNAL	SYMBOL	PARAMETER	Z80 CPU Min (ns)	Z80 CPU Max (ns)	Z80A CPU Min (ns)	Z80A CPU Max (ns)	Z80B CPU Min (ns)	Z80B CPU Max (ns)
CLK	t_c	Clock period	400	[12]	250	[12]	165	[12]
	$t_{w(\Phi H)}$	Clock pulse width, clock high	180	200us	110	200us	65	200us
	$t_{w(\Phi L)}$	Clock pulse width, clock low	180	2000	110	2000	65	2000
	$t_{r,f}$	Clock rise and fall time		30		30		20
A0–A15	$t_{D(AD)}$	Address output delay		145		110		90
	$t_{F(AD)}$	Delay to float		110		90		80
	t_{acm}	Address stable prior to $\overline{MREQ}$ (memory cycle)	[1]		[13]		[24]	
	t_{aci}	Address stable prior to $\overline{IORQ}$, $\overline{RD}$ or $\overline{WR}$ (I/O cycle)	[2]		[14]		[25]	
	t_{ca}	Address stable from $\overline{RD}$, $\overline{WR}$, $\overline{IORQ}$ or $\overline{MREQ}$	[3]		[15]		[26]	
	t_{caf}	Address stable from $\overline{RD}$ or $\overline{WR}$ during float	[4]		[16]		[27]	
D0 D7	$t_{D(D)}$	Data output delay		230		150		130
	$t_{F(D)}$	Delay to float during write cycle		90		90		80
	$t_{S\Phi(D)}$	Data setup time to rising edge of clock during M1	50		35		30	
	$t_{S\bar{\Phi}(D)}$	Data setup time to rising edge of clock during M2–M5	60		50		40	
	t_{dcm}	Data stable prior ro $\overline{WR}$ (Memory cycle)	[5]		[17]		[28]	
	t_{dci}	Data stable prior to $\overline{WR}$ (I/O cycle)	[6]		[18]		[29]	
	t_{cdf}	Data stable from $\overline{WR}$	[7]		[19]		[30]	
	t_H	Input hold time	0		0		0	
$\overline{MREQ}$	$t_{DL\bar{\Phi}(MR)}$	$\overline{MREQ}$ delay from falling edge of clock, $\overline{MREQ}$ low	20	100	20	85	20	70
	$t_{DH\Phi(MR)}$	$\overline{MREQ}$ delay from rising edge of clock, $\overline{MREQ}$ high		100		85		70
	$t_{DH\bar{\Phi}(MR)}$	$\overline{MREQ}$ delay from falling edge of clock, $\overline{MREQ}$ high		100		85		70
	$t_{w(\overline{MRL})}$	Pulse width, $\overline{MREQ}$ low	[8]		[20]		[20]	
	$t_{w(\overline{MRH})}$	Pulse width, $\overline{MREQ}$ high	[9]		[21]		[21]	

$\overline{IORQ}$	$t_{DL\Phi(IR)}$	$\overline{IORQ}$ delay from rising edge of clock, $\overline{IORQ}$ low		90		75		65
	$t_{DL\bar{\Phi}(IR)}$	$\overline{IORQ}$ delay from falling edge of clock, $\overline{IORQ}$ low		110		85		70
	$t_{DH\Phi(IR)}$	$\overline{IORQ}$ delay from rising edge of clock, $\overline{IORQ}$ high		100		85		70
	$t_{DH\bar{\Phi}(IR)}$	$\overline{IORQ}$ delay from falling edge of clock, $\overline{IORQ}$ high		110		85		70
$\overline{RD}$	$t_{DL\Phi(RD)}$	$\overline{RD}$ delay from rising edge of clock, $\overline{RD}$ low		100		85		70
	$t_{DL\bar{\Phi}(RD)}$	$\overline{RD}$ delay from falling edge of clock, $\overline{RD}$ low		130		95		80
	$t_{DH\Phi(RD)}$	$\overline{RD}$ delay from rising edge of clock, $\overline{RD}$ high	15	100	15	85	15	70
	$t_{DH\bar{\Phi}(RD)}$	$\overline{RD}$ delay from falling edge of clock, $\overline{RD}$ high		110		85		70
$\overline{WR}$	$t_{DL\Phi(WR)}$	$\overline{WR}$ delay from rising edge of clock, $\overline{WR}$ low		80		65		60
	$t_{DL\bar{\Phi}(WR)}$	$\overline{WR}$ delay from falling edge of clock, $\overline{WR}$ low		90		80		70
	$t_{DH\Phi(WR)}$	$\overline{WR}$ delay from falling edge of clock, $\overline{WR}$ high		100		80		70
	$t_{DH\bar{\Phi}(WR)}$	Pulse width, $\overline{WR}$ low	[10]		[22]		[22]	
$\overline{M1}$	$t_{DL(M1)}$	$\overline{M1}$ delay from rising edge of clock, $\overline{M1}$ low		130		100		80
	$t_{DH(M1)}$	$\overline{M1}$ delay from rising edge of clock, $\overline{M1}$ high		130		100		80
$\overline{RFSH}$	$t_{DL(RF)}$	$\overline{RFSH}$ delay from rising edge of clock, $\overline{RFSH}$ low		180		130		110
	$t_{DH(RF)}$	$\overline{RFSH}$ delay from rising edge of clock, $\overline{RFSH}$ high		150		120		100
$\overline{WAIT}$	$t_{S(WT)}$	$\overline{WAIT}$ setup time to falling edge of clock	70		70		60	
$\overline{HALT}$	$t_{D(HT)}$	$\overline{HALT}$ delay time from falling edge of clock		300		300		260
$\overline{INT}$	$t_{S(IT)}$	$\overline{INT}$ setup time to rising edge of clock	80		80		70	
$\overline{NMI}$	$t_{W(\overline{NMI})}$	Pulse width, $\overline{NMI}$ low	80		80		70	
$\overline{BURSQ}$	$t_{S(BQ)}$	$\overline{BURSQ}$ setup time to rising edge of clock	80		50		50	
$\overline{BUSAK}$	$t_{DL(BA)}$	$\overline{BUSAK}$ delay from rising edge of clock, $\overline{BUSAK}$ low		120		100		90
	$t_{DH(BA)}$	$\overline{BUSAK}$ delay from falling edge of clock, $\overline{BUSAK}$ high		110		100		90
$\overline{RESET}$	$t_{S(RS)}$	$\overline{RESET}$ setup time to rising edge of clock	90		60		60	
	$t_{F(C)}$	Delay to/from float ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ and $\overline{WR}$)		100		80		70
	t_{mr}	M1 stable prior to $\overline{IORQ}$ (Interrupt Acknowledge)	[11]		[23]		[31]	

[1] $t_{acm}=t_{w(\phi H)}+t_f-75$
[2] $t_{aci}=t_c-80$
[3] $t_{ca}=t_{w(\phi L)}+t_r-40$
[4] $t_{caf}=t_{w(\phi L)}+t_r-60$
[5] $t_{dcm}=t_c-210$
[6] $t_{dci}=t_{w(\phi L)}+t_r-210$
[7] $t_{cdf}=t_{w(\phi L)}+t_r-80$
[8] $t_{w(\overline{MRL})}=t_c-40$
[9] $t_{w(\overline{MRM})}=t_{w(\phi H)}+t_f-30$
[10] $t_{w(\overline{WR})}=t_c-40$
[11] $t_{mr}=2t_c+t_{w(\phi H)}+t_f-80$
[12] $t_c=t_{w(\phi H)}+t_{w(\phi C)}+t_r+t_f$
[13] $t_{acm}=t_{w(\phi H)}+t_f-65$
[14] $t_{aci}=t_c-70$
[15] $t_{ca}=t_{w(\phi L)}+t_r-50$
[16] $t_{caf}=t_{w(\phi L)}+t_r-45$
[17] $t_{dcm}=t_c-170$
[18] $t_{dci}=t_{w(\phi L)}+t_r-170$
[19] $t_{cdf}=t_{w(\phi L)}+t_r-70$
[20] $t_{w(\overline{MRL})}=t_c-30$
[21] $t_{w(\overline{MRH})}=t_{w(\phi H)}+t_f-20$
[22] $t_{w(\overline{WR})}=t_c-30$
[23] $t_{mr}=2t_c+t_{w(\phi H)}+t_f-65$
[24] $t_{acm}=t_{w(\phi H)}+t_f-50$
[25] $t_{aci}=t_c-55$
[26] $t_{ca}=t_{w(\phi L)}+t_r-50$
[27] $t_{caf}=t_{w(\phi L)}+t_r-45$
[28] $t_{dcm}=t_c-140$
[29] $t_{dci}=t_{w(\phi L)}+t_r-140$
[30] $t_{cdf}=t_{w(\phi L)}+t_r-55$
[31] $t_{mr}=2t_c+t_{w(\phi H)}+t_r-50$

٩ ـ ٦ ـ ٢ ـ مجموعة تعليمات وحدة المعالجة Z80

يمكن لوحدة المعالجة Z80 أن تنفذ ١٥٨ نوعاً من التعليمات المختلفة . ولاستعراض المجال الكامل فإن ذلك سيستغرق وقتاً طويلاً ـ ولهذا ننصح القارىء بشراء كتاب يبحث في برمجة لغة التجميع لوحدة المعالجة Z80 .

٩ ـ ٧ ـ وحدات المعالجة المصغرة لـ ١٦ خانة

إن وحدات المعالجة المصغرة لـ ١٦ خانة تعتبر أكثر قوة من وحدات المعالجة لثمانية خانات . وفي هذا القسم سوف أقوم فقط بمقارنة وحدات المعالجة المصغرة الثلاث لـ ١٦ خانة الأكثر شيوعاً . وللإطلاع على تفاصيل أخرى توجد عدة كتب متوفرة تبحث في هذا الموضوع . يوضح الجدول ٩ ـ ٥ وحدات المعالجة المصغرة الثلاث الأكثر شيوعاً ويتضمن الجدول ٩ ـ ٦ مقارنة بينهما .

التسمية	الجهة الصانعة
68000	Motorola
8086	Intel
Z8000	Zilog

الجدول ٩ ـ ٥ ـ وحدات المعالجة المصغرة الأكثر شيوعاً

إن المقارنة التي يتضمنها الجدول ٩ ـ ٦ مختصرة جداً . ولكن يجب أن تكون كافية لتقديم فكرة إلى القارىء عن كيفية عمل وحدات المعالجة المصغرة لـ ١٦ رقماً عشرياً .

الخاصة	68000	8086	Z8000
	طرق المخاطبة	١٤	٢٤ ٨
حجم المسجلات	٣٢ خانة	١٦ خانة	١٦ خانة
عدد المسجلات	١٧	١٤	١٦
التردد الساعي الأعظمي	١٢ ميغاهرتز	١٠ ميغاهرتز	٤ ميغاهرتز
عدد التقطعات	٧	٢	٢
مجال العنوان	16 Mbytes	1 Mbyte	8 Mbytes

الجدول ٩ ـ ٦ ـ مقارنة بين وحدات المعالجة المصغرة الأكثر شيوعاً ذات الـ ١٦ رقماً عشرياً

٩ ـ ٨ ـ اللغات العالية المستوى (HLL)

إن اللغة العالية المستوى (HLL) يمكن فهمها أكثر من لغة التجميع ومن ثم فإنها تعتبر أسهل كتابة . ويمكن للبرامج المكتوبة بلغة عالية المستوى أن تعمل على أية وحدة معالجة مصغرة شريطة وجود مترجمة وحدة المعالجة المصغرة الخاصة إن المترجمة التي تحول البرنامج إلى مجموعة مصطلحات رمزية آلية (machine code) يطلق عليها اسم المجمع (المنسق) . إن المترجمة التي تحول مجموعة الرموز سطراً سطراً وتقوم بتنفيذ كل سطر بعد أن تتم ترجمته تدعى بالمفسرة . إن البرامج المجمعة تسير بسرعة أكبر من البرامج المفسرة . المفسرات أسهل كتابة من المجمعات وبالتالي فهي أرخص ثمناً . من الأمثلة على اللغات العالية المستوى لغة الفورتـران (FORTRAN) ، والبيـزيك (BASIC) . والباسكال (PASCAL) وسي (C) وAPL ، إلخ .

يوضح الشكل ٩ ـ ١٠ مثالاً عن برنامج لجمع رقمين مع بعضها باستخدام لغة البيزيك .

```
10 INPUT A
20 INPUT B
30 C=A+B
40 PRINT C
```

الشكل ٩ ـ ١٠ ـ برنامج لجمع رقمين معاً باستخدام لغة البيزيك

تستخدم لغة البيزيك أرقام السطور لأخبار المفسرة/المجمعة عن السطر التالي الذي ستتم ترجمته .

توجد عدة كتب تبحث عن البرمجة باللغات العالية المستوى — وتعتبر مفيدة إذا تمت قراءتها .

٩ — ٩ — الخاتمة

بعد قراءة هذا الفصل فإنك يجب أن تتكون لديك معرفة جيدة عن كيفية عمل وحدات المعالجة المصغرة . ويجب أن تصبح بشكل خاص قادراً على التصميم باستخدام وحدة المعالجة المركزية Z80 . سيتضمن الفصلان القادمان الأجهزة المساعدة لوحدات المعالجة المصغرة مع الذاكرات حيث ستصبح قادراً بعد ذلك على تصميم جهاز مايكرو كومبيوتر (حاسب مصغر) خاص بك .

الفصل ١٠

الـذاكـرات

الذاكرة عبارة عن وسيلة يمكن بواسطتها تخزين المعلومات ومن ثم استرجاعها .
توجد سبعة أنواع رئيسية من الذاكرات المتوفرة والتي نجدها مبينة فيما يلي :

الذاكرة RAM	وهي ذاكرة (الدخول الاختياري) للقراءة/والكتابة
الذاكرة ROM	وهي ذاكرة (الدخول الاختياري) للقراءة فقط
شريط الكاسيت	وهي ذاكرة (الدخول التتابعي) تخزين القراءة/والكتابة
القرص المرن	وهي ذاكرة (الدخول الاختياري) تخزين القراءة/والكتابة
القرص الصلب	وهي ذاكرة (الدخول الاختياري) تخزين القراءة/والكتابة .
الشريط المغناطيسي	وهي ذاكرة (الدخول التتابعي) تخزين القراءة/والكتابة
الذاكرة Bubble	وهي ذاكرة (الدخول الاختياري) تخزين القراءة/والكتابة

أما الذاكرة الأولى المسماة RAM فهي أسرع نوع من الذاكرات وهي تستخدم على نطاق واسع في أجهزة الحاسوب الآلية كذاكرة للبرامج . تفقد أجهزة الذاكرة RAM معلوماتها عندما يتم قطع التغذية عنها (Switch off) أو إيقافها عن العمل ومن ثم تأتي الحاجة إلى ذاكرات التخزين .

أما الذاكرة ROM فهي تستخدم في أجهزة الحاسوب الآلية لتخزين البرامج الدائمة ، مثل برنامج نظام التشغيل ووسائل معالجة الكلمات ، إلخ .

وبالنسبة لأشرطة الكاسيت فإنها تعتبر من أرخص الوسائل المستخدمة في تخزين المعلومات والتي تدور بسرعة ٣٠٠ بود (خانة في الثانية) وهذا يطابق تقريباً لِـ ٣٠ حرفاً في الثانية أو ١٢٠٠ بود (١٢٠ حرفاً في الثانية) . أما مساوىء أشرطة الكاسيت فهي مزدوجة .

١ — الدخول إلى البرامج المخزونة يكون تعاقبياً (تتابعياً) ، أي أنه إذا كان البرنامج المطلوب موجود في نهاية الشريط فإنك يجب أن تستعرض كل ما هو موجود في الشريط لتصل إليه .

٢ — معدل التحول أو الإنتقال من الذاكرة RAM إلى الكاسيت يكون بطيئاً .

أما بالنسبة للأقراص المرنة فهي تستخدم بشكل واسع النطاق في أجهزة الحاسوب الصغيرة وتتميز بمعدل انتقال أسرع من أشرطة الكاسيت . وهي يمكن الثقة بها والاعتماد عليها أكثر أيضاً (فهي أقل عرضة لأخطاء الإنتقال) . على أية حال تتميز هذه على أشرطة الكاسيت بكون الدخول إلى البرامج المخزونة اختيارياً ، أي أنه يمكن الوصول إلى أي جزء من القرص العريض بدون الحاجة إلى استعراض أو المرور بكافة المعلومات التي تسبقه .

أما الأقراص الصلبة فإنها تستخدم في أجهزة الحاسوب الآلية الضخمة وهي تتميز باستطاعة تخزين عالية ومعدل إنتقال أسرع من الأقراص العريضة . وهذه الأقراص أغلى ثمناً بكثير أيضاً .

بالنسبة لذاكرة الشريط المغناطيسي والذاكرة المسماة **Bubble** فإنهما لا تستخدمان كثيراً في أجهزة الحاسوب الصغيرة وبالتالي لن يتم شرحهما في هذا الكتاب .

يتضمن الجدول ١٠ — ١ — مقارنة بين الأنواع المختلفة من الذاكرات .

الذاكرة	التخزين المثالي	التكلفة	معدل الانتقال
RAM	حتى ٢٥٦ كيلو بيت لكل دارة تكاملية (١٩٨٥)	حتى ٥٠ جنيهاً لكل دارة تكاملية (المتوسط ٣ جنيه)	من ٢ مليون إلى ١٠ مليون Chars في الثانية
ROM	حتى ٥١٢ كيلو بيت لكل دارة تكاملية (١٩٨٥)	حتى ٥٠ جنيهاً لكل دارة تكاملية (المتوسط ٣ جنيه)	من ٢ مليون إلى ١٠ مليون Chars في الثانية
شريط الكاسيت	٦٥٠ كيلو بايت لكل شريط مدته ٩٠ دقيقة	حوالي ٢٥ جنيهاً + ١ جنيه للشريط الواحد	٣٠ — ١٢٠ Chars /ثانية
القرص المرن	١٠٠ — ١٠٠٠ كيلو بايت للقرص الواحد	حوالي ٢٠٠ جنيه + ٣ جنيه للقرص الواحد	١٥٦٢٥ -٦٢٥٠٠ Chars/ثانية
القرص الصلب	٥ — ١٤٠ ميغا بايت (١٩٨٥)	حوالي ٨٠٠ جنيهاً +	٦٢٥٠٠٠ Chars/ثانية

الجدول ١٠ — ١ — مقارنة بين الذاكرات

يجب الانتباه ، فيما يتعلق بالذاكرات إلى أن K = ١٠٢٤ وM = ١٠٢٤ × ١٠٢٤ .

ويجب الانتباه أيضاً إلى أنه عندما تزداد حجوم الذاكرات RAM/ROM فإن فترات الدخول تميل إلى الزيادة . ومن ثم فإن ذاكرة ROM صغيرة جداً يمكن أن تتميز بفترة دخول أسرع بكثير ذاكرة ROM كبيرة .

١٠ — ١ — *ذاكرة الدخول الاختياري (RAM)*

توجد ثلاثة أنواع من الذاكرة RAM :

١ — الستاتيكية MOS RAM .

٢ — الديناميكية .

٣ — الثنائية القطب .

١٠ — ١ — ١ — الذاكرة الستاتيكية MOS RAM (SRAM)

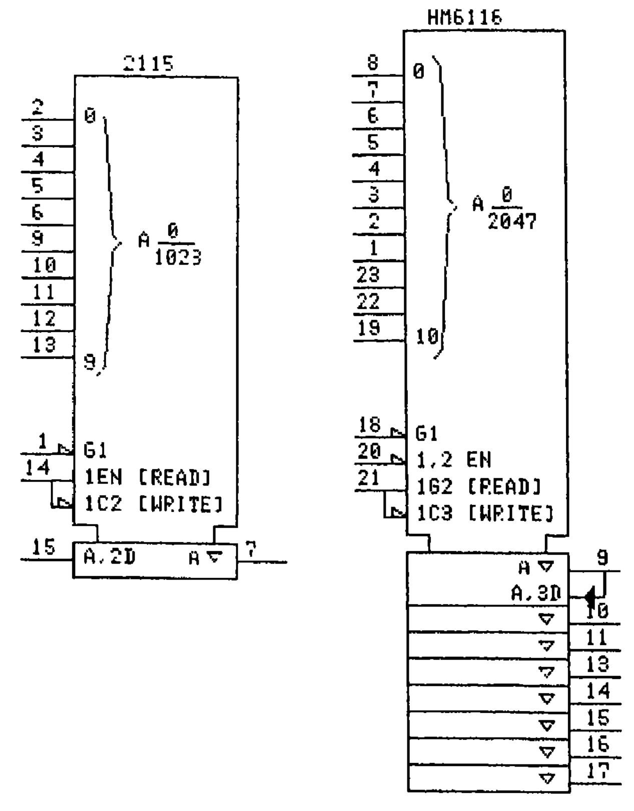
هذه عبارة عن جهاز MOS يتم الدخول إليه بمخاطبة الموقع الدقيق الذي يراد قراءته أو الكتابة عليه . توجد أنواع عديدة من الذاكرة RAM الستاتيكية :

1K × 1
1K × 4
2K × 8
إلخ .

أما الذاكرة 1K x 1 RAM فهي تتميز بـ ١٠٢٤ عنواناً يحتوي كل منها على رقم معلومات ثنائي .

وأما الذاكرة 2K x 8 RAM فهي تتميز بـ ٢٠٤٨ عنواناً يحتوي كل منها على ٨ خانات ثنائية للمعلومات ، والتي يتم الوصول إليها على التوازي .

يوضح الشكل ١٠ ــ ١ تمثيلاً للذاكرة 1K x 1RAM والذاكرة 2K x 8 RAM.



(a) 1K × 1 (2115)   (b) 2K × 8 (HM6116)

الشكل ١٠ ــ ١ ــ يمثل الذاكرة 1K x 1 RAM والذاكرة 2K x 8 RAM

مما يتضح من الشكل ١٠ ــ ١ ، فإننا نجد أن بعض خطوط المعلومات ثنائية الاتجاهات والبعض الآخر أحادي الاتجاه . بالنسبة لـ 2115 تكون وظائف الأرجل كما يلي :

- A0-A9 موصل عناوين أحادي الاتجاه (Input) .
- DIN مدخل معلومات (أحادي الاتجاه) .
- DOUT مخرج معلومات (أحادي الاتجاه) .
- $\overline{WE}$ تنفيذ الكتابة (مدخل) .
- $\overline{CS}$ اختبار الرقاقة .

يكون عمل الجهاز على النحو التالي :

الشكل ١٠ ــ ٢
قاعدة ثلاث ذاكرات
HM6116 RAM

إذا كانت $\overline{CS}$ منخفضة فإن وسيلة التحكم 1 تكون فعالة ومن ثم يتم تشغيل المدخل $\overline{WE}$.

في حال تشغيل المدخل $\overline{WE}$ وكان منخفضاً فإن وسيلة التحكم ٢ تكون فعالة وسوف يتم تخزين المعلومات على خط DIN عند العنوان المشار إليها بواسطة موصل العناوين . وأثناء ذلك يصبح خط الـ DOUT ثلاثي الحالات (كما يتضح من ∇) . إذا كان $\overline{WE}$ مرتفعاً فإن EN يكون فعالاً . ومن ثم تصبح ∇ غير فعالة وسوف يقوم خط أو DOUT بعرض المعلومات المخزونة عند العنوان المشار إليه بموصل العناوين .

من أجل التوقيت الدقيق ، يتم الرجوع إلى كتاب معلومات Intel أو أي كتاب معلومات يتضمن الـ 2115 فيه . وظائف الأرجل للذاكرة HM 6116 هي على النحو التالي :

A0-A10 (مدخل) موصل عناوين أحادي الإتجاه .
D0-D7 (مدخل/مخرج) موصل معلومات ثنائي الإتجاه .
$\overline{WE}$ تشغيل الكتابة .
$\overline{CE}$ تشغيل الرقاقة .
$\overline{OE}$ تشغيل المخرج .

عمل الذاكرة MH6116 مبين في الجدول ١٠ — ٢ .

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	D0-D7
H	X	X	Z
L	X	L	DIN
L	L	H	DOUT
L	H	H	Z

الجدول ١٠ — ٢ — عمل الذاكرة HM 6116

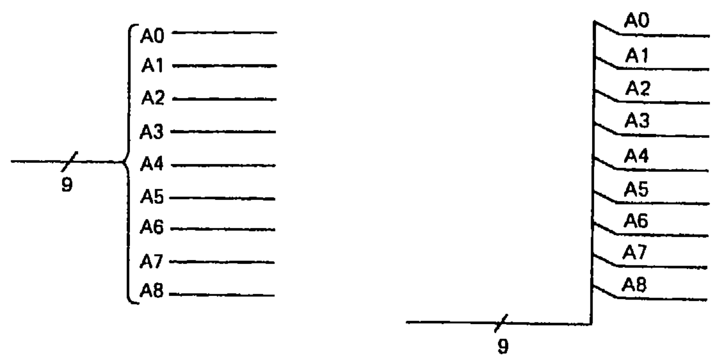
تفسير الرمز المنطقي الجديد

هذا مشابه جداً للذاكرة 2115 . أما الاختلاف الرئيسي فهي الطريقة التي توضح الموصل الثنائي الإتجاه . الحرف Z يعني ممانعة عالية (ثلاثية الحالات) — حتى أن الدارة التكاملية تكون منفصلة بشكل فعال عن الدارة . وهذا له فائدته إذا كانت لديك قواعد للذاكرات RAM ، جميعها على عناوين مختلفة ، حيث تستخدم نفس موصل المعلومات . يوضح الشكل ١٠ — ٢ مثالاً عن ذلك .

وبالاستناد إلى خط الإختيار الذي يكون منخفضاً ، فإنه سيتم إختيار جهاز ذاكرة RAM واحدة .

إن تركيبه وسيلة التوصيل معروفة وشائعة . توجد طرق مختلفة لبيان التوصيلات

إلى موصل (وسيلة توصيل) . ويوضح الشكل ١٠ — ٣ — وسيلتين أو طريقتين معروفتين .



الشكل ١٠ — ٣ — طريقتان لتوضيح التوصيلات إلى ممر

ملاحظة : في كل مرة يتم فيها تفرع وسيلة توصيل ، فإنه يجب أن يتم وضع رقم الإشارات على كل فرع ، كما هو مبين في الشكل ١٠ — ٢ .

١٠ — ١ — ٢ — الذاكرة RAM الديناميكية (DRAM)

هذه عبارة عن جهاز MOS .

تعتبر الذاكرات RAM الديناميكية أسهل صنعاً من الذاكـرات الستاتيكيـة . وهي أصغر أيضاً . وبسبب في ذلك كونها تستخدم دارات منطقية أكثر بساطة . أما مساوئها فتكمن في أن كل خلية عناوين تحتاج إلى تجديد على الأقل مرة في كل ٢ ميلي ثانية .

إن الذاكرة RAM الديناميكية تكون مرتبة على شكل مصفوفة ذات صفوف وأعمدة . وللتوفير بالنسبة للأرجل فإنه أرقام لعناوين الثنائية يتم توجيهها بطريقة الإرسال المضاعف ويتم تزويد ROW Address Strobe (RAS) و(CAS) لتثبيت الأرقام الثنائية للعناوين . ومنه للوصول إلى خلية عناوين فإنه يتم أولاً وضع عنوان الصف على مداخل العناوين ويتم تخفيض الـ RAS ومن ثم يتم وضع عنوان الأعمدة على

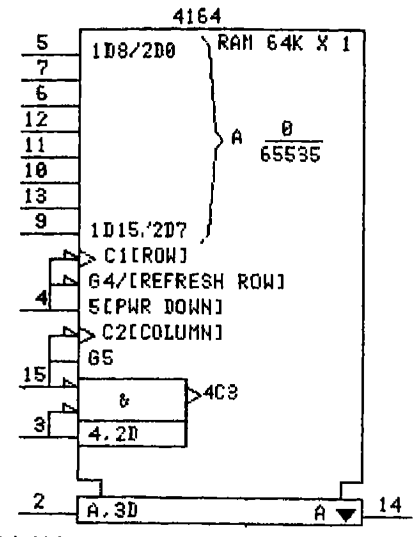
مداخل العناوين ويتم تخفيض CAS .

ولتجديد الذاكرة RAM بالكامل فإنه يجب أن يتم الوصول إلى كل عن
للصفوف على الأقل في كل ٢ ميلي ثانية . يمكنك أن تصمم مجموعة الدارات -
الذاكرة DRAM للقيام بتوقيت RAS وCAS ولإجراء عملية التجديد . ولكن
العمل شاق ويحتاج للكثير من الدارات التكاملية . على أية حال توجد دارات تكا
تقوم بكل هذا العمل . يطلق على هذه الدارات التكاملية اسم الضابطات M
الديناميكية . يوضح الشكل ١٠ — ٤ ضابطة الذاكرة DRAM والذاك
64 K x 1 DRAM .

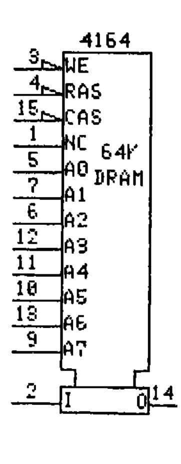
لاحظ كيف أن رمز التبعية للذاكرة 4164 معقد للغاية . واستناداً إلى ذلك
من السهل رسم الذاكرة 4164 كما في الشكل ١٠ — ٤ (ب) . بشكل ع
وكلما أصبح تعقيد الدارة التكاملية أكبر كان رسم التبعية أكثر صعوبة وتعقيداً (و
فائدة) . سوف لن نقدم رموز التبعية للذاكرة 8203 . وللأجهزة الأكثر تعقيداً
ويمكن للقارىء أن يحدد رموزاً كتمرين .

عندما يتم ربط الذاكرات DRAM بالضابطة DRAM فإنها تبدو تقريباً ء
الذاكرات SRAM للجهاز . على أية حال ، تلزم مجموعة دارات تجديد منفصا
يوضح الشكل ١٠ — ٥ مجموعة 64Kx8DRAM نموذجية . تتم ملاحظة المقاوم
المضائلة الموصولة على التسلسل (المذكورة في الفصل ٥ — القطع المشابهة
وهذه المقاومات تستخدم لمنع السعة المشتركة للذاكرات DRAM من إبط
الإشارات إلى حد كبير . يتم دائماً استخدام المقاومات المضائلة الموصولة على التسل
بهذا الشكل عند التعامل مع مجموعات ذاكرات MOS .

لاحظ أيضاً كيف هي الذاكرات DRAM الثمانية مبينة . وبما أن لها إشار
تحكم مشتركة فإنه من السهل ربطها مع بعضها بمجموعة تحكم مشتركة بدلاً
إبقائها منفصلة عن بعضها .



(a) 4164 symbol in dependency notation



(b) 4164 64K × 1 DRAM

8203

AL0 AL1 AL2 AL3 AL4 AL5 AL6 AL7 AH0 AH1 AH2 AH3 AH4 AH5 AH6 AH7 X0 X1 PCS 16K/64K WR RD REFRQ/ALE

OUT0 OUT1 OUT2 OUT3 OUT4 OUT5 OUT6 OUT7 XACK RAS0 RAS1 RAS3 CAS SACK WE

(c) 8203 64K DRAM controller

الشكل ١٠ – ٤ – ضابطة الذاكرة 8203 DRAM والذاكرة 4164 DRAM

١٠ ـ ١ ـ ٣ ـ الذاكرة RAM الثنائية القطب

هذه عبارة عن أجهزة TTL عالية السرعة (وليست MOS) . وإن استطاعتها التخزينية أقل بكثير من الذاكرة الستاتيكية أو الديناميكية RAM . فهي استاتيكية التشغيل وتستخدم في التطبيقات العالية السرعة . من الأمثلة على الذاكرة RAM الثنائية القطب الذاكرة 74S189 ، التي نرى رمز داراتها موضح في الشكل ١٠ ـ ٦ . إن الذاكرة 74S189 هي ذاكرة RAM ذات ٦٤ رقماً ثنائياً . منظمة على أساس ١٦ × ٤ أي ١٦ موضعاً يتسع كل موضع لأربعة خانات ثنائية عرضاً . تلزم أربعة مداخل عناوين من أجل ١٦ موضعاً (١٦ = ٢^٤) . إن زمن الدخول للذاكرة 74S189 يساوي ٢٥ نانو ثانية . أي أن المعلومات يمكن قراءتها أو كتابتها بعد ٢٥ نانو ثانية من ثبات خطوط العناوين والتشغيل .

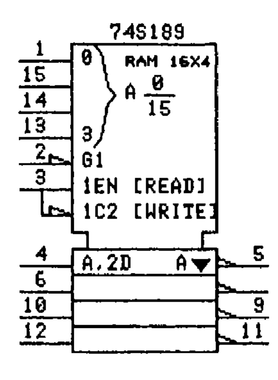
١٠ ـ ٢ ـ الذاكرة ROM (اقرأ فقط)

توجد ستة أنواع من هذه الذاكرة :

١ ـ ROM .

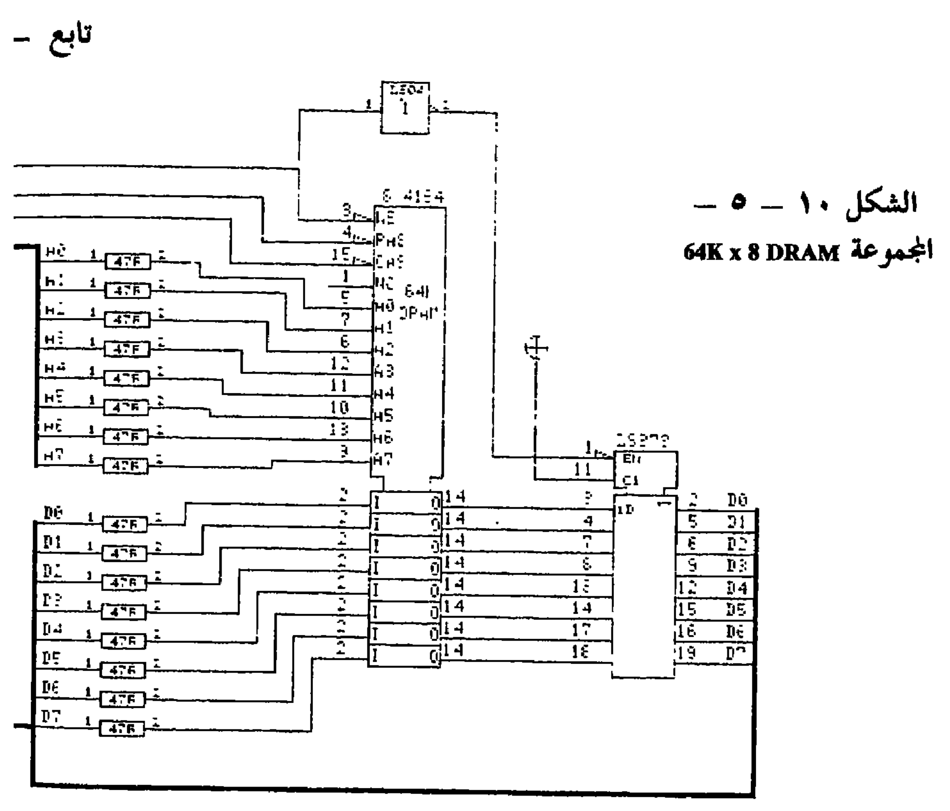
٢ ـ PROM .

٣ ـ PROM الثنائية القطب .



الشكل ١٠ ـ ٦ ـ رمز الدارة للذاكرة 74S189

تابع -



الشكل ١٠ — ٥ —
64K x 8 DRAM المجموعة

٤ — EPROM .

٥ — EEPROM (EAROM) .

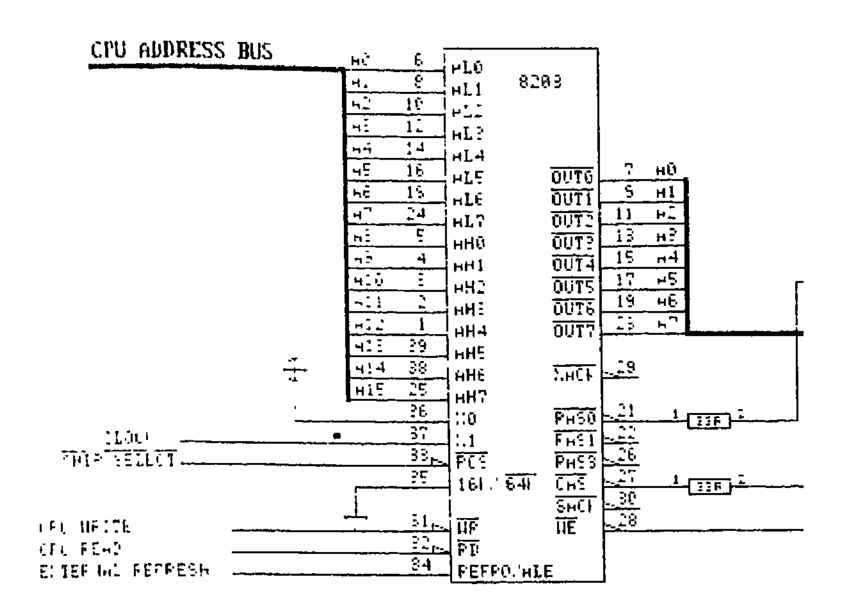
٦ — المجموعة المنطقية المبرمجة (PLA) .

١٠ — ٢ — ١ — الذاكرة ROM (ذاكرة اقرأ فقط)

هذه الوسائل تتم برمجتها عند صنعها . ولا توجد أية طريقة لتغيير محتوياتها .

١٠ — ٢ — ٢ — الذاكرة PROM (أي ذاكرة أقرأ فقط المبرجة)

هذه الوسائل يمكن برمجتها باستخدام المبرمج PROM . وعندما تتم برمجتها فإنه

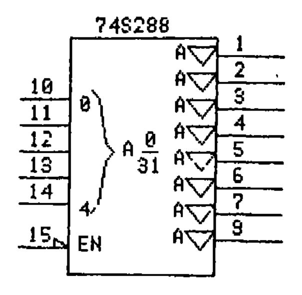


لا يمكن تغيير محتوياتها بأية وسيلة .

١٠ ـ ٢ ـ ٣ ـ الذاكرات PROM الثنائية القطب

هذه الذاكرات هي ذاكرات TTL PROM والتي تتميز جميعها بزمن دخول سريع جداً (يتراوح من ٥٠ إلى ٧٠ نانو ثانية مقابل ٢٠٠ نانو ثانية فأكثر للذاكرات العادية PROMS) . من الأمثلة على الذاكرة PROM الثنائية القطب الذاكرة 74288 التي نرى رمز دارتها موضحاً في الشكل ١٠ ـ ٧ . إن الذاكرة 74S288 هي ذاكرة PROM تتسع لِـ ٢٥٦ رقماً ثنائياً مرتبة على أساس ٣٢ × ٨ أي ٣٢ موضعاً

يبلغ عرض كل منها ٨ أرقام ثنائية . تلزم خمسة أرقام ثنائية للعناوين من أجل ٣٢ موضعاً (٣٢ = $٢^{٥}$) يبلغ زمن الدخول للذاكرة 74S288 ‏٧٠ نانو ثانية .



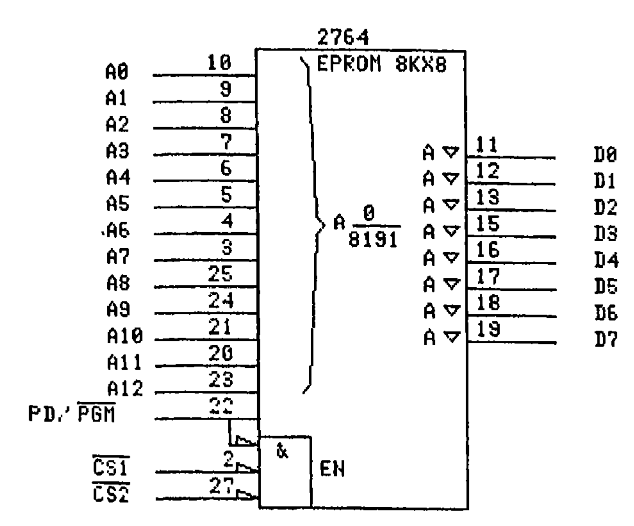
الشكل ١٠ ـ ٧ ـ رمز الدارة للذاكرة 74S288

١٠ ـ ٢ ـ ٤ ـ الذاكرة EPROM (ذاكرة اقرأ فقط المبرمجة القابلة للمسح)

يمكن برمجة هذه الوسائل باستخدام المبرمج PROM . ويمكن مسحها بالأشعة فوق البنفسجية . ولذلك يجب عدم ترك هذه الوسائل عرضة لأشعة الشمس المباشرة (التي تحتوي على أشعة فوق بنفسجية) . يمكن إعادة برمجة هذه الوسائل حتى ١٠٠٠ مرة . من الأمثلة على الذاكرة EPROM الذاكرة 2764 التي نرى رمز دارتها مبيناً في الشكل ١٠ ـ ٨ . الذاكرة 2764 هي عبارة عن ذاكرة EPROM تتسع لـ ٦٤ كيلو بيت مرتبة على شكل 8K x 8 أي ٨١٩٢ موضعاً يبلغ عرض كل منها ٨ أرقام ثنائية يلزم ١٣ مدخل للعناوين من أجل مواضع 8K (٨١٩٢ = $٢^{١٣}$) . إن زمن الدخول للذاكرة 2764 يمكن أن يكون ٢٥٠ نانو ثانية أو ٤٥٠ نانو ثانية . بحسب شكل الذاكرة 2764 .

١٠ ـ ٢ ـ ٥ ـ الذاكرة EEPROM (ذاكرة PROM قابلة للمسح كهربائياً) أو EAROM (ذاكرة ROM قابلة للتغيير كهربائياً)

بعد أن تتم برمجة هذه الوسائل فإنه يمكن تغييرها بإعادة برمجتها . إنه ليس من الضروري أن يتم استخدام أشعة فوق البنفسجية كما هو الحال بالنسبة للذاكرات EPROM .



الشكل ١٠ ـ ٨ ـ رمز الدارة للذاكرة 2764

١٠ ـ ٢ ـ ٦ ـ الوسيلة PLA

إن الوسيلة PAL هي عبارة عن جهاز يسمح للمداخل بالتأثير على المخارج عن طريق مجموعة منطقية محدودة . تنقسم الوسائل PLA عادة إلى خمس مراحل :

١ ـ خطوط المدخل (التي تشتمل عادة على التغذية المرتدة من خطوط المخرج) .
٢ ـ مصفوفة AND .
٣ ـ مصفوفة OR .
٤ ـ عنصر التخزين (ليس موجوداً دائماً) .
٥ ـ خطوط المخرج .

إن أي خط مدخل (أو خط مخرج في حال كون التغذية المرتدة مسموحة) يمكن إضافته إلى أي خط مدخل آخر في مصفوفة AND . وهذا يتم بدفع الفيوزات المناسبة في جهاز الـ PAL . إن مصفوفة AND سوف تسمح لعدد معين من المصطلحات (مجموعات مختلفة من خطوط المدخل) تتراوح عادة من ١٦ إلى ٦٤ . يمكن أن يحتوي كل من هذه المصطلحات على أي عدد من خطوط المداخل (مع

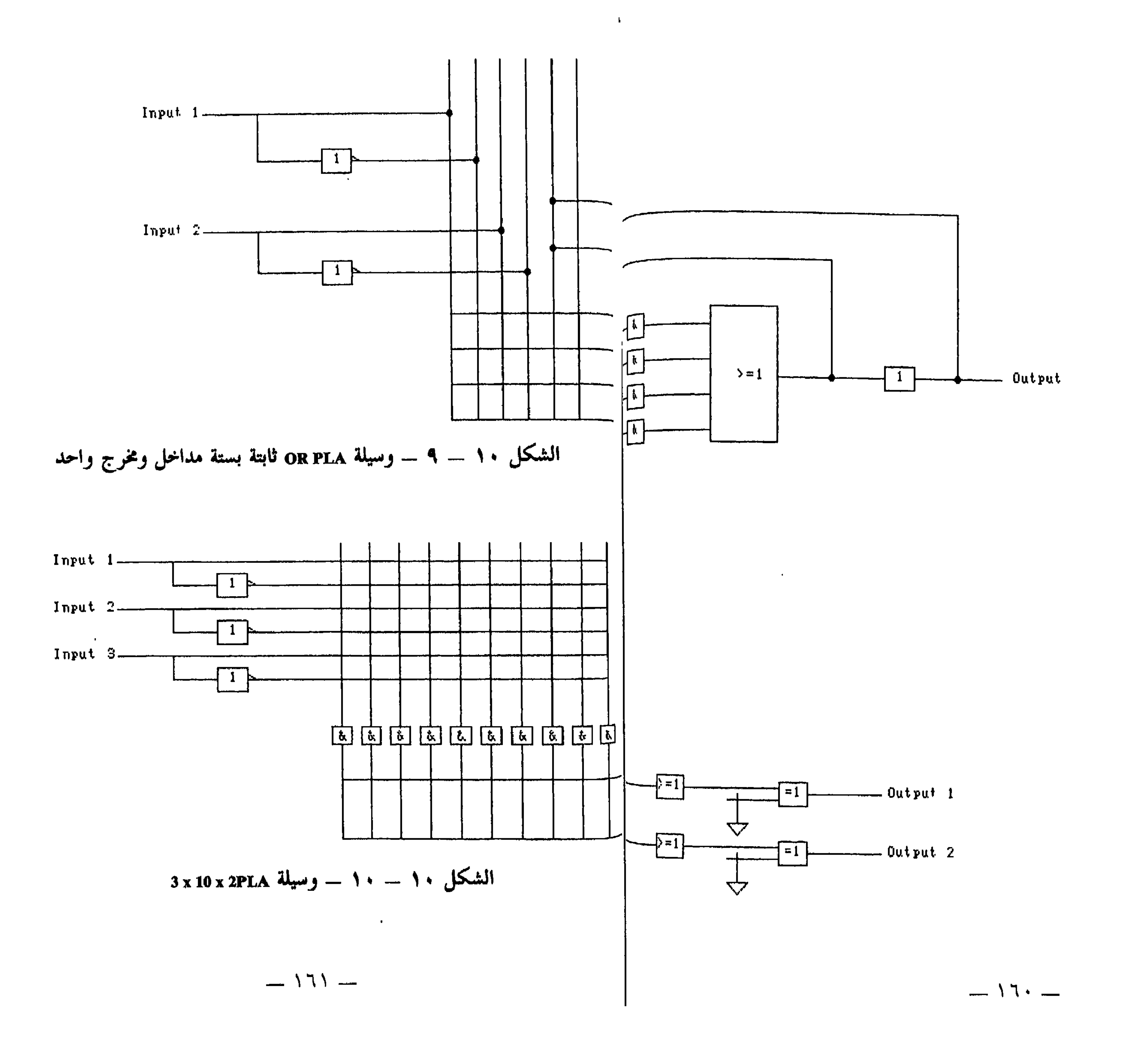
معاكساتها) . بعد ذلك يتم تمرير مصطلحات الـ AND هذه بشكل مماثل ، إلى المصفوفة OR . إن المصفوفة OR إما أن تكون ثابتة أو قابلة للبرمجة . فإذا كانت ثابتة ، فإن خطوط AND معينة يتم إدخالها أوتوماتيكياً في المصفوفة OR مع بعضها لإنتاج المخارج . وإذا كانت المصفوفة OR قابلة للبرمجة فإن المصطلحات OR يمكن أن تحتوي على أي عدد من مصطلحات AND .

تحتوي بعض الوسائل PLA على عناصر تخزين (نطاطات من النوع D) مباشرة بعد المصطلحات OR . وهذه الوسائل PLA المسجلة يمكن أن تكون ذات فائدة كبيرة .

تتضمن الأشكال من ١٠ — ٩ إلى ١٠ — ١١ ثلاثة أمثلة عن الوسائل PLA . يوضح الشكل ١٠ — ٩ مجموعة OR ثابتة مع ستة مداخل منتظمة ومخرج واحد . وكما يتضح فإنه يوجد فقط مدخلان للجهاز PLA . توجد أربعة مصطلحات AND متضمنة يمكن أن يحتوي كل منها على أية مجموعة من المدخل 1 والمدخل ٢ أو المخرج أو معكوساتها . بعد ذلك يتم ضم مصطلحات الـ AND هذه الأربعة في مصفوفة OR مع بعضها ثم تغذى عكسياً في الوسيلة PLA بالإضافة إلى الإنتقال إلى المخرج . في الأساس كل خط شاقولي يكون موصولاً مع كل خط من خطوط المصطلحات AND عن طريق فيوز . ولفصل خط شاقولي واحد عن خط مصطلح AND فإن كل ما يلزم هو أن يتم دفع الفيوز المناسب .

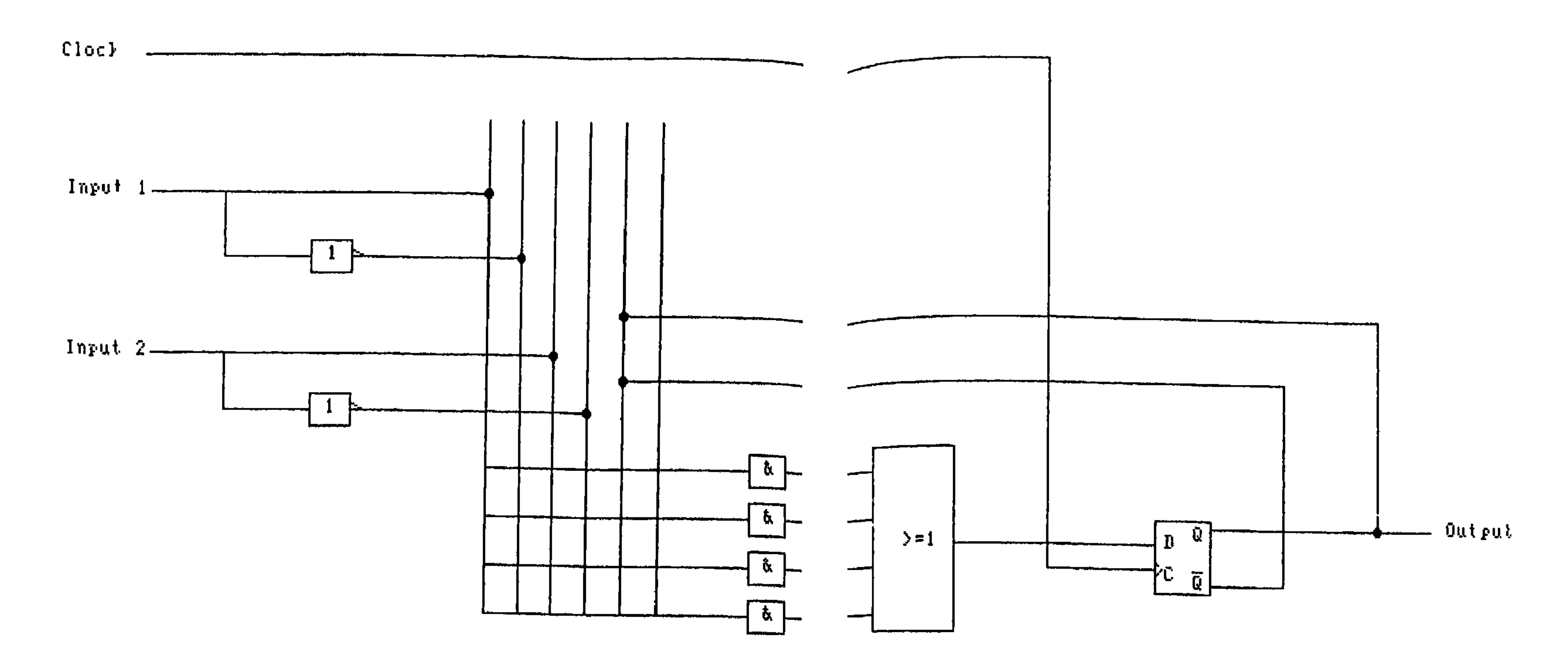
يوضح الشكل ١٠ — ١٠ وسيلة 3 x 10 x 2PLA . يشير الرقم ٣ إلى عدد المداخل ، ويشير الرقم ١٠ إلى عدد مصطلحات AND وأما العدد ٢ فهو يشير إلى عدد مصطلحات OR (ومن ثم المخارج) . إن أياً من الخطوط المتصالبة أو المتقاطعة يمكن ربطها مع بعضها بعدم دفع الفيوزات المناسبة المستخدمة .

لاحظ كيف أن كلا المخرجين يمكن أن يكون لهما فيوزات مدفوعة لجعلها عالية الفعالية أو منخفضة الفعالية . يوضح الشكل ١٠ — ١١ وسيلة OR PLA ثابتة مسجلة ذات ستة مداخل ومخرج واحد . وهذا مماثل للشكل ٩ — ١٠ باستثناء

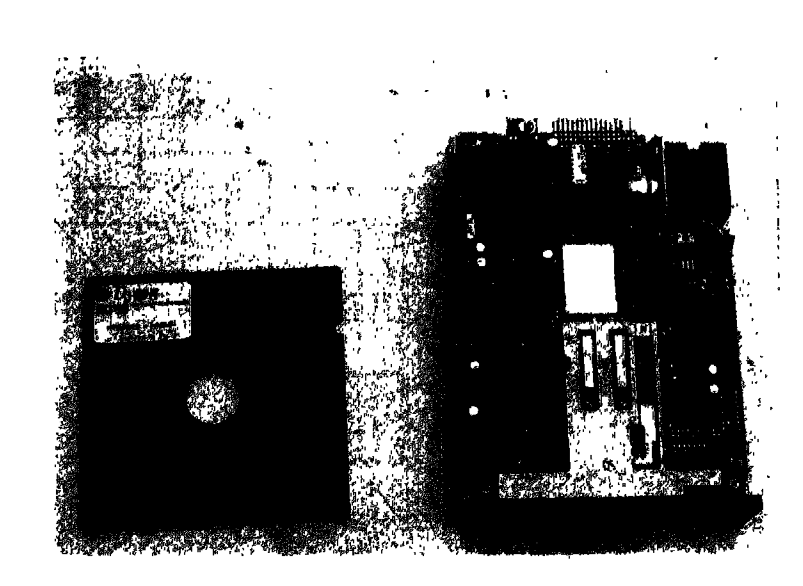


الشكل ١٠ — ٩ — وسيلة OR PLA ثابتة بستة مداخل ومخرج واحد

الشكل ١٠ — ١٠ — وسيلة 3 x 10 x 2PLA



الشكل ١٠ — ١١ — وسيلة OR PLA ثابتة مسجلة بمخرج واحد وستة مداخل



في اللوحة (٩) نرى جهاز إدارة قرص عريض قياس ″51/4 مع قرص

أن مخرج المرحلة OR ينتقل إلى النطاط D الذي يضبط بساعة من الخارج .

إن الوسائل PLA مقيدة لتحل محل SSITTL في التطبيقات حيث أن عدد الرقاقات (عدد الدارات التكاملية على لوحة دارة مطبوعة) تحتاج إلى أن تبقى بحدها الأدنى . وهذه الوسائل مفيدة أيضاً لتثبيط الناس ودفعهم عن نسخ أو تقليد تصميمك .

تعرف الوسائل PLA بالـ PALs أو FPLAs (المجموعات المنطقية القابلة لبرمجة المجال) .

يتضمن كتاب المعلومات حول أجزاء المايكروكومبيوتر الثنائية القطب إنتاج شركة تكساس انسترومنتس تفاصيل حول بعض وسائل PLAs بالإضافة إلى الذاكرات ROMs وRAMs الثنائية القطب .

١٠ ـ ٣ ـ الأقراص المرنة

في اللوحة ٩ نرى جهاز إدارة قرص عريض قياس ″5¼ مع قرص . يتركب القرص في جهاز الإدارة حيث تكون العروة على الجانب الأيسر متجهة للأعلى . وهذه العروة هي وسيلة حماية من الكتابة . فعند تغطية القرص فإنه لا يمكن الكتابة عليه .

يوجد نوعان رئيسيان من الأقراص العريضة قياس ٥ ١/٤ بوصة و ٨ بوصة . هناك نوع آخر قياس (٣ ـ ٣ ١/٢ بوصة) تم اختراعه حالياً .

توجد عدة دارات تكاملية بينية خاصة بالأقراص المرنة والتي تعتبر سهلة الاستخدام . من إحداها أو Intel 8272 (وتكافئها NEC μPD765A) . يوضح الشكل ١٠ ـ ١٢ الدارة 8272 .

الشكل ١٠ ـ ١٢ ـ ضابطة القرص المرن 8272 (FDC)

نجد وظيفة كل رجل من الأرجل مبيناً فيما يلي :

A0 (مدخل) يختار مسجل المعلومات (A0 = 1) أو مسجل الحالة (A0 = 0) .

DB0-DB7 (مدخل/مخرج) موصل معلومات ثنائي الإتجاه .

IDX (مدخل ، عالي الفعالية) IDX يكون عالياً عند بداية مسار القرص .

WCK (مدخل) WCK تمثل سلسلة نبضات 500 KHz @ بالنسبة لـ FM (أقراص أحادية الكثافة) و 500 1MHz @ بالنسبة لـ MFM (أقراص مزدوجة الكثافة) . يبلغ عرض النبضة ٢٥٠ نانو ثانية .

RDD (مدخل) للمعلومات من فاصل المعلومات .

FLT/TRO (مدخل ، فعال مرتفع) . وهذا يكون مرتفعاً في حالة الخطأ في طريقة القراءة/ والكتابة ويكون مرتفعاً عندما يكون المسار 0 بوضعية البحث .

WP/TS (مدخل ، فعال مرتفع) . وهذا يكون مرتفعاً إذا كان القرص محمياً من الكتابة عليه في وضعية القراءة/والكتابة ويكون مرتفعاً عندما يتم الدخول إلى الطرف ٢ بوضعية البحث .

RDY (مدخل ، فعال مرتفع) . وهذا يكون مرتفعاً عندما يكون FDD جاهزاً لإرسال أو إستقبال المعلومات .

WE. (مخرج ، فعال مرتفع) . عندما يكون مرتفعاً فإن هذا ينفذ معلومات الكتابة في FDD .

HDL (مخرج ، فعال مرتفع) . عندما يكون مرتفعاً فإن FDD ستخفض رأس القراءة/والكتابة على القرص .

US1 - US0 (مخرج) . هذا الخطان يختاران أحد FDD الأربعة .

WDA (مخرج) . هذا يرسل معلومات متسلسلة ومعلومات ساعية إلى الـ FDD .

PS1, PS0 (مخرج) . هذان الخطان يقدمان حالة ما قبل التعويض أثناء وضعية MFM .

HD (مخرج) . يختار الرأس 0 عند 0 والرأس 1 عند 1 (يوجد رأسان على FDD المزدوج الطرفين) .

FR/STP (مخرج ، فعال مرتفع) . عندما يكون مرتفعاً بوضعية القراءة/والكتابة ، فإن هذا يعيد ضبط نطاط الخطأ في الـ FDD . وعندما يكون مرتفعاً في وضعية البحث ، فإن هذا يمكن النبضات المتدرجة من تحريك الرأس إلى إسطوانة أخرى .

LCT/DIR (مخرج ، فعال مرتفع) . عندما يكون مرتفعاً في وضعية القراءة/والكتابة فإن هذا يخفض تيار القراءة على المسالك الداخلية . وعندما يكون مرتفعاً في وضعية البحث فإن الإتجاه الذي سيتحرك الرأس نحوه سيكون نحو الداخل (وعندما يكون منخفضاً فإن الإتجاه يكون نحو الخارج) .

$\overline{RW}$/SEEK (مخرج) . عندما يكون مرتفعاً فإنه يتم إختيار وضعية البحث وعندما يكون منخفضاً فإنه يتم إختيار وضعية القراءة/والكتابة .

RDW (مدخل) . تدخل المعلومات من فاصل المعلومات .

VCO (مخرج) . يمنع VCO (مذبذب مضبوط الفلطية) في PLL عندما تكون القيمة 0 ويمكنه عندما تكون القيمة 1 .

MFM (مخرج) . وضعية MFM في الحالة 1 وFM في الحالة 0 .

$\overline{RD}$ (مدخل، فعال منخفض) . إشارة $\overline{RD}$ من وحدة المعالجة المركزية (CPU) .

$\overline{WR}$ (مدخل ، فعال منخفض) . إشارة $\overline{WR}$ من وحدة المعالجة المركزية .

$\overline{CS}$ (مدخل ، فعال منخفض) . إشارة اختيار الرقاقة .

CLK (مدخل) ساعة بموجة تربيعية ٨ ميغا هرتز .

RST (مدخل ، فعال مرتفع) . يعيد ضبط كافة الخطوط إلى FDD على 0 .

INT (مخرج ، فعال مرتفع) . يقطع الطلب إلى وحدة المعالجة المركزية .

$\overline{DACK}$ (مدخل ، فعال منخفض) . تكون دورة DMA فعالة عندما تكون $\overline{DACK}$ منخفضة .

TC (مدخل ، فعال مرتفع) . تكون TC مرتفعة عند نهاية تحويل DMA .

DRQ (مخرج ، فعال مرتفع) . DRQ تكون مرتفعة عندما تقوم FDC بطلب تحويل DMA .

يوضح الشكل ١٠ — ١٣ دارة تشرح استخدام اللوحة 8272 .

أما الجهاز 9216 فهو عبارة عن وسيلة تسمى بفاصل المعلومات . وتنحصر مهمتها بفصل الساعة والمعلومات عن بعضها والتي يقوم جهاز إدارة القرص العريض بتأمينها . إن إشارات جهاز إدارة القرص العريض نجدها مشروحة فيما يأتي . وهذه الإشارات نموذجية بالنسبة لمعظم أجهزة الإدارة قياس $\frac{1}{4}$ ٥ بوصة .

اختيار الادارة n (n = من صفر إلى ٣) .

هذه الإشارات تنفذ أحد أربعة أجهزة إدارة .

الجانب Side هذه الإشارة تختار بين الجانب 0 والجانب 1 لجهاز إدارة مزدوج الطرف .

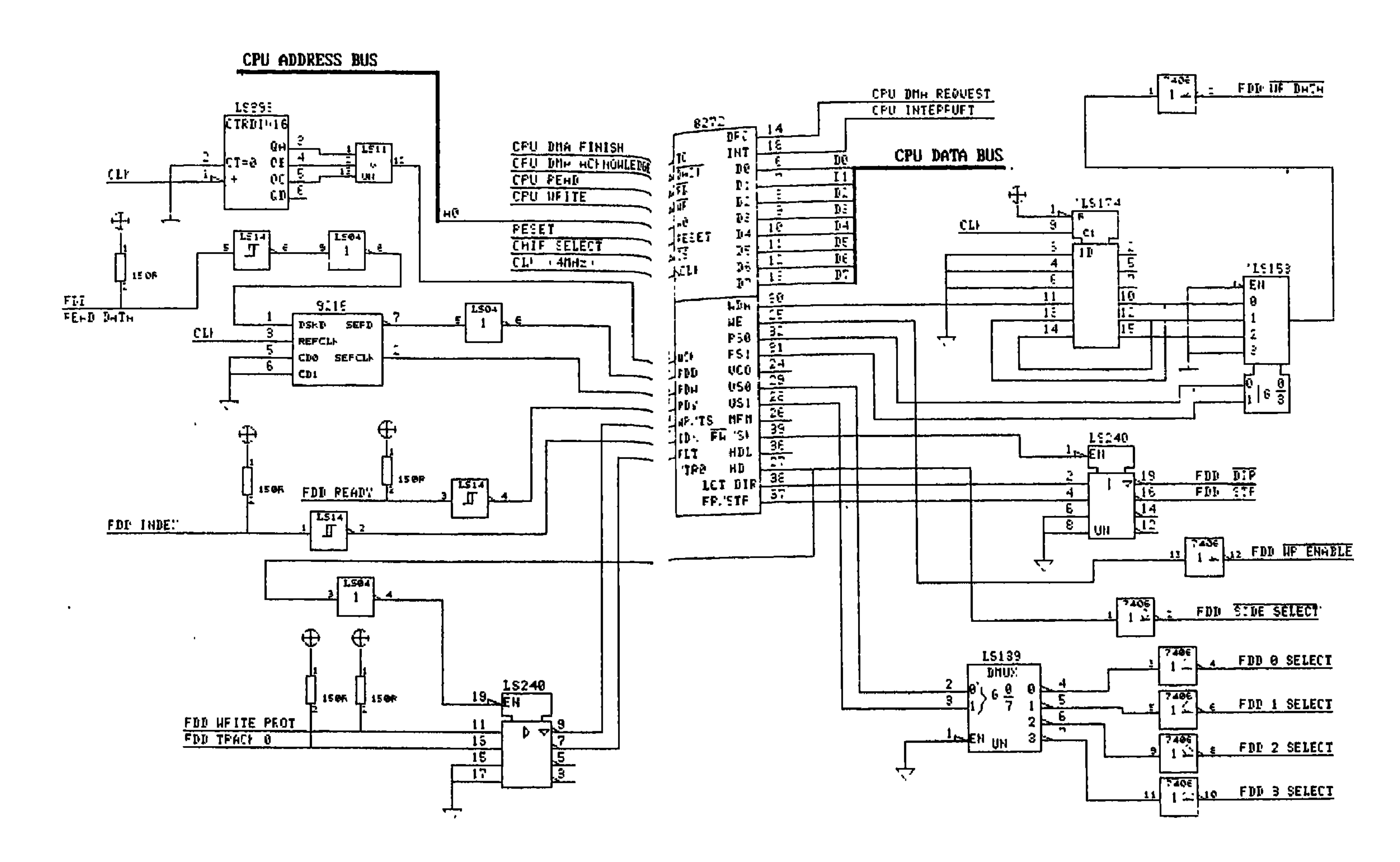
Motor On هذه الإشارة ستشغل الموتور وتوقفه .

Direction كما هو مبين بالنسبة للدارة 8272 .

Step كما هو مبين بالنسبة للدارة 8272 .

Write Data كما هو مبين بالنسبة لـ WAD على الدارة 8272 .

Write Enable كما هو مبين بالنسبة لـ WE على الدارة 8272 .



الشكل ١٠ ــ ١٣ ــ دارة تشرح استخدام اللوحة 8272 FDC

Index	كما هو مبين بالنسبة للدارة لِـ IDX على الدارة 8272 .
Track 0	كما هو مبين بالنسبة للدارة لِـ FLT/TRO على الدارة 8272 .
Ready	كما هو مبين بالنسبة للدارة لِـ RDY على الدارة 8272 .
Read Data	هذه عبارة عن ساعة/ومعلومات مشتركة من جهاز الإدارة . يتم فصل هذا الخط بواسطة الـ 9216 في المعلومات وساعة المعلومات .
Write Protect	عندما تكون هذه الوسيلة مرتفعة فإن القرص في جهاز الإدارة له وسيلة حماية من الكتابة ولا يمكن الكتابة عليه .

إن الدارة في الشكل ١٠ ـــ ١٣ يجب أن تكون توضح نفسها بشكل معتدل . بالنسبة للإطلاع على تفاصيل أخرى حول أجهزة إدارة الأقراص العريضة ، فإننا ننصح القارىء بقراءة كتاب معلومات شركة Intel (تفاصيل متممة 82 72 , 8271) أو كتاب مختص يبحث في الموضوع .

أما بالنسبة للأقراص الصلبة فهي غير مبينة بشكل مفصل هنا ، وإنما تتشابه في طرق استخدامها وتطبيقاتها مع الأقراص العريضة .

١٠ ـــ ٤ ـــ الخاتمة

إن أجهزة الذاكرات تعتبر ضرورية لأي جهاز من أجهزة الكومبيوتر . ويجب أن يشعر القارىء الآن بثقة كافية لتصميم أساس جهاز المايكروكومبيوتر (ROM, μP، MSI و SSI) . إن الشيء التالي الذي يجب أن نتعلمه هو كيفية تقديم المايكروكومبيوتر إلى العالم الخارجي .

الفصل ١١

أجهزة مساعدة لوحدة المعالجة المصغرة

١١ ــ ١ ــ *مقدمة*

توجد عدة دارات تكاملية يمكن استخدامها مع وحدات المعالجة المصغرة . وهذه الأجهزة تسمح لوحدات المعالجة المصغرة بمواجهة العالم الخارجي . تقوم شركات موتورولا وأنتيل وزيلوك بإنتاج الكثير من الأجهزة المساعدة لوحدات المعالجة المصغرة ومعظم هذه يتم إنتاجها من قبل شركة أخرى حيث تبقي تكلفة الدارة التكاملية منخفضة . إن معظم الشركات الصانعة لوحدات المعالجة المصغرة تقوم بإنتاج رقاقات مساعدة لوحدات المعالجة المصغرة الخاصة بها . يبحث هذا الفصل باختيار الأجهزة المساعدة المتوفرة .

١١ ــ ٢ ــ *الأجهزة المساعدة لشركة انتيل*

إن صفحات المعلومات الخاصة بالقطع التالية يمكن أن نجدها في مرجع خاص بوحدات المعالجة المصغرة والأجهزة المحيطة إنتاج شركة أنتيل وفي كتاب للمعلومات التابعة للمايكروكومبيوتر إنتاج شركة نيس . القطع المراد بحثها نجدها مدرجة فيما يلي في الجدول ١١ ــ ١ مع أسعارها التقريبية لعام ١٩٨٥ .

رقم شركة أنتيل	التسمية	التكلفة
8202	ضابطة ذاكرة RAM ديناميكية	١٨ جنيه
8203	ضابطة ذاكرة RAM ديناميكية 64K	٣٠ جنيه
8231	وحدة معالجة حسابية	غير متوفرة بشكل واسع النطاق
8251	لوحة بينية للاتصالات مبرمجة	٢,٥ جنيه
8253	مؤقت زمني مبرمج	٣ جنيه
8255	لوحة بينية محيطية مبرمجة	٢,٥ جنيه
8271	ضابطة قرص مرنة مبرمجة	٤٠ جنيه
8272	ضابطة أقراص مرنة أحادية ومزدوجة الكثافة	٣٠ جنيه
8275	ضابطة CRT مبرمجة	٢٥ جنيه

الجدول ١١ ـ ١ ـ أجهزة مساعدة إنتاج أنتيل مع أسعارها لعام ١٩٨٥

١١ ـ ٢ ـ ١ ـ ضابطة الذاكرة RAM الديناميكية 8202

هذا الجهاز مماثل جداً للجهاز **8203** المبين في الفصل السادس ، باستثناء كونه يستطيع أن يتحكم بالذاكرات **RAM** الديناميكية فقط بحيز عناوين يصل إلى **16 K** ، أي **16K x 1**، و **16K x 8** و **4K x 1** إلخ .

١١ ـ ٢ ـ ٢ ـ ضابطة الذاكرة RAM الديناميكية 64K 8203 .

هذا الجهاز مبين في الفصل السادس .

١١ ـ ٢ ـ ٣ ـ وحدة المعالجة الحسابية 8231

تقوم هذه الوحدة بإنجاز العمليات المثلثية والحسابية الثابتة وذات الفاصلة العائمة بدرجة دقة ٣٢ رقماً ثنائياً . وهي يمكن أن تستخدم لتقوية القدرة الرياضية في جهاز وحدة المعالجة المصغرة .

إن كافة التحويلات (المشغل ، والنتيجة ، والحالة ، والطلب) تحدث على موصل معلومات ثنائي الإتجاه بثمانية أرقام ثنائية . يبلغ التردد الساعي الأعظمي ٤

ميغا هرتز .

يتضمن الجدول ١١ — ٢ بعض مرات تنفيذ الطلبات النموذجية :

عدد الدورات الساعية	الطلب
٥٦— ٣٥٠	جمع بفاصلة حرة
١٦٨	ضرب بفاصلة حرة
٤٤٦٨	SIN X
٤١١٨	COS X
٤٤٧٨	LN X
٤٦١٦	EXP X
٦٠٠٦	ATAN X

الجدول ١١ — ٢ — مرات تنفيذ الطلبات النموذجية للوسيلة8231

يمكن أن تستخدم الوسيلة 8231 في جهاز معتمد على وحدة معالجة مصغرة لإنجاز العمليات الرياضية المعقدة التي ستستغرق وقتاً طويلاً ليقوم برنامج ما بتنفيذها .

١١ — ٢ — ٤ — اللوحة البينية المبرمجة للاتصالات

هذا الجهاز عبارة عن مرسل/مستقبل لاتزامني/تزامني عام (USART) . ويمكن أن تتم برمجته بواسطة وحدة المعالجة المركزية للعمل باستخدام أي طريقة إرسال معلومات متسلسلة . يقوم هذا الجهاز بقبول رموز المعلومات من وحدة المعالجة المركزية بشكل متواز ثم يحولها إلى سلسلة متواصلة من المعلومات مناسبة للإرسال . ويقوم أيضاً بقبول المعلومات المتسلسلة ثم يحولها إلى معلومات متوازية . ويقوم هذا الجهاز أي (USART) بإرسال إشارة لوحدة المعالجة المركزية عندما يريد أن يرسل أو يستقبل معلومات متوازية .

يصل معدل البود التزامني إلى ٦٤ كيلو بود .

ويصل معدل البود اللاتزامني إلى ١٩,٢ كيلو بود .

يمكن أن يستخدم جهاز الـ 8251 كمأخذ متسلسل ، يسمح بوصل جهاز وحدة المعالجة المصغرة بآلة طابعة أو جهاز كومبيوتر آخر ، إلخ .

١١ ـ ٢ ـ ٥ ـ المؤقت الزمني المبرمج 8253

هذا الجهاز عبارة عن مؤقت/عداد مبرمج مرتب على شكل ثلاثة عدادات مستقلة لـ ١٦ رقماً ثنائياً ، حيث أن كل منها مزود بمعدل تعداد يصل إلى ٢ ميغاهرتز .

توجد ست وضعيات للعد (جميعها خاضعة لتحكم المكون اللين أو ما يسمى بالسوفتوير) :

الوضعية 0 (التوقف عند العد النهائي) .

إن التعداد النهائي يتم تحميله في مسجل تعداد مختار . فعندما يصل التعداد إلى الحد الطرفي أو النهائي فإن النتيجة أو الناتج سيصبح عالياً مما يدل على أن عملية العد قد انتهت . وهذا يمكن أن يستخدم لبرمجة إعاقة دقيقة ، أو وسيلة تعطيل مؤقت ، إلخ .

الوضعية 1 (لقطة واحدة مبرمجة) .

سوف ينخفض الناتج عند الطرف الصاعد للمدخل البوابي وستبدأ عملية العد . عند التعداد النهائي سوف يرتفع الناتج .

الوضعية 2 (التقسيم على العداد N) .

سوف يكون الناتج منخفضاً لفترة واحدة من ساعة الدخل . إن الفترة الممتدة من نبضة مخرج إلى النبضة التي تليها تساوي عدد تعدادات المدخل في مسجل العد . وهذا يمكن أن يستخدم كمولد نبضات .

الوضعية 3 (مولد معدل النبضات التربيعية) .

سيكون الناتج عالياً لنصف تعداد واحد ومنخفضاً للنصف الآخر من التعداد . وعند الوصول إلى العد النهائي فإنه يعاد تحميل العداد

وتتكرر العملية . وهذا يمكن أن يستخدم كمولد ساعي لآلة طابعة على سبيل المثال . تعمل الطابعات المختلفة عند معدلات بود مختلفة . ويمكن استخدام مخرج الجهاز 8253 لتوليد أي معدل بود مطلوب بمجرد برمجته .

الوضعية 4 (الستروب المشغل بالبرامج والنظم) .
عندما يتم تحميل التعداد فإن العداد يبدأ بالعمل ، وعند الوصول إلى التعداد النهائي فإن الناتج سيصبح منخفضاً لفترة ساعية لمدخل واحد ومن ثم سيصبح عالياً مرة أخرى . من الاستخدامات الممكنة لهذا وسيلة التعطيل المؤقت المضبوطة بواسطة المكون اللين ، أي أنه إذا تم إرسال رسالة بواسطة وحدة المعالجة المصغرة ولم يتم استقبال جواب عليها خلال ثانية واحدة فإنه سيتم تنفيذ بعض التعليمات (ربما عن طريق توقف معين) .

الوضعية 5 (الستروب المشغل بالمكون الصلب) .
سوف يبدأ العداد بعملية العد بعد الطرف الصاعد لمدخل الإطلاق وسوف يصبح منخفضاً لفترة ساعية واحدة عند الوصول إلى التعداد النهائي . وهذا يمكن أن يستخدم بأسلوب مماثل للوضعية ٤ .

١١ ـ ٢ ـ ٦ ـ اللوحة البينية المحيطية المبرمجة 8255

هذه عبارة عن جهاز دخل/ وخرج مبرمج متعدد الاستعمالات . وهذه اللوحة مزودة بـ ٢٤ رجلاً للدخل/والخرج والتي يمكن برمجتها كلاً على حدة على مجموعتين يتكون كل منها من ١٢ رجلاً وتستخدم بثلاث وضعيات تشغيل :

الوضعية 0 يمكن برمجة كل مجموعة من الأرجل ١٢ للدخل/والخرج بمجموعات رباعية لتكون مدخلاً أو مخرجاً .

الوضعية 1 يمكن برمجة كل مجموعة من الأرجل ١٢ للدخل/والخرج بمجموعات ثمانية لتكون مدخلاً أو مخرجاً . ومن الأرجل الأربع المتبقية يتم

استخدام ثلاثة منها لإشارات التحكم بالتوقف أو المصافحة .

الوضعية 2 يتم إستخدام ثمانية خطوط كموصل ثنائي الإتجاه وخمسة خطوط باستعارة واحد من المجموعة الأخرى للمصافحة .

يتميز الجهاز 8255 بالعديد من الاستعمالات ، بما فيها كلوحة بينية لآلة طابعة متوازية . تستقبل الطابعات المتوازية معلومات ثمانية أرقام ثنائية في وقت واحد وبالتالي فهي تعتبر أسرع من الآلات الطابعة التسلسلية . تشتمل الاستعمالات الأخرى للجهاز 8255 على لوحات بينية للأقراص الصلبة .

١١ ـ ٢ ـ ٧ ـ ضابطة الأقراص المرنة المبرمجة 8271

يتوسط هذا الجهاز من واحد إلى أربعة أجهزة إدارة للأقراص المرنة مع وحدة معالجة مصغرة . إن الجهاز 8271 FDC متوافق مع الشكل اللين IBM 3740 الذي يستخدم بواسطة معظم أجهزة المايكروكومبيوتر المتوفرة في الأسواق . الجهاز 8271 مماثل إلا أنه أقل قوة من الجهاز 8272 الذي تم وصفه في الفصل العاشر (الذاكرات) .

١١ ـ٢ ـ ٨ ـ ضابطة الأقراص المرنة ذات الكثافة الأحادية والمزدوجة 8272

هذه تم وصفها في الفصل العاشر (الذاكرات) .

١١ ـ ٢ ـ ٩ ـ الضابطة CRT المبرمجة 8275 (CRTC)

هذه عبارة عن جهاز يتوسط شاشات عرض خطوط المسح CRT مع وحدة المعالجة المصغرة . (أجهزة المراقبة المعلن عنها في المجلات ممسوحة بخطوط المسح) . وإن وظيفة هذا الجهاز هي تجديد العرض عن طريق حفظ المعلومات من الذاكرة الرئيسية بشكل مؤقت والمحافظة على مسار وضعية العرض على الشاشة . يمكن برمجة الجهاز 8275 ليقوم بتوليد عدد يتراوح بين ١ إلى ٨٠ رمزاً لكل صف وبين ١ و ٦٤ صفاً لكل شاشة . ويمكن لهذا الجهاز مع مجموعة الدارات الخارجية أن ينتج

رسوماً بيانية على CRT .

١١ ــ ٣ ــ أجهزة شركة موتورولا المساعدة

إن صفحات المعلومات للقطع التالية يمكن الحصول عليها من كتيب المعلومات الخاص بوحدات المعالجة المصغرة إنتاج شركة موتورولا (٨ أرقام ثنائية) ومن كتاب معلومات المايكروكومبيوتر لـ ٨ و١٦ رقماً ثنائياً إنتاج شركة هيتاشي .

القطع التي سيتم بحثها مبينة فيما يلي في الجدول ١١ ــ ٣ مع أسعارها التقريبية لعام ١٩٨٥ :

السعر	التسمية	رقم شركة Motorola
١ جنيه	محول بيني محيطي	6821
٤٠ جنيه	وحدة إدارة ذاكرة	6829
٣,٥ جنيه	مجموعة توقيت مبرمجة	6840
١٢ جنيه	ضابطة أقراص عريضة	6843
١٠ جنيه	ضابطة الدخول المباشر للذاكرة	6844
٦,٥ جنيه	ضابطة CRT	6845
١,١٠ جنيه	محول بيني للاتصالات لاتزامني	6850
٢,٥ جنيه	محول معلومات متسلسلة تزامني	6852

الجدول ١١ ــ ٣ ــ أجهزة مساعدة إنتاج شركة موتورولا مع أسعارها لعام ١٩٨٥

ملاحظة : إن معظم أجهزة شركة موتورولا تتميز قبل الرقم بوجود MC أو MCM .

١١ ــ ٣ ــ ١ ــ محول بيني محيطي 6821

هذا عبارة عن جهاز I/O مبرمج مماثل لجهاز Intel 8255 . وهو يحتوي على ٢٠ رجلاً للدخل والخرج مرتبة على مجموعتين مكونتين من ٨ خطوط دخل/خرج و٤

خطوط تحكم . يمكن برمجة كل خط/دخل وخرج على حدة ليكون إما مدخلاً أو مخرجاً . إن خطوط التحكم الأربعة مرتبة على أزواج متطابقة مع كل مجموعة مكونة من ٨ خطوط دخل/وخرج .

المنفذ A للجهاز 6821 يمكنه أن يدير المجموعة المنطقية CMOS بشكل مباشر (بالإضافة إلى TTL) ومن ثم يتطلب تيار إدارة زائد بوضعية الدخل أكثر مما يفعله المنفذ B .

١١ ـ ٣ ـ ٢ ـ وحدة إدارة الذاكرات 6829 (MMU)

إن هذا الجهاز يوسع من قدرة أو إمكانية المخاطبة لوحدة معالجة مصغرة (وقد صمم خصيصاً للجهاز 6809) من ٦٤ كيلو بايت إلى حد أعظمي ٢ ميغا بايت . وهذا التوسع يتم باستخدام ذاكرة RAM عالي السرعة تتم مخاطبتها بأرقام ثنائية للعناوين A15 — A11 وبمسجل خاص بخمس مهام للأرقام الثنائية . ولكل مهمة تخصص ذاكرة بزيادات ٢ كيلو بايت وحتى إجمالي يصل إلى ٦٤ كيلوبايت . يمكن استخدام عدد من هذه الوحدات يصل إلى ثمانية في جهاز ما ويمكن لكل وحدة MMU أن تعالج أربع مهام منفصلة . ومن ثم فإن الجهاز المزود بثمانية وحدات MMU ، تعالج كل منها أربعة مهام بمعدل ٦٤ كيلو بايت يكون مزوداً بمجال عناوين ٢ ميغا بايت .

١١ ـ ٣ ـ ٣ ـ مجموعة التوقيت المبرمجة 6840

هذه عبارة عن مجموعة مؤقت/وعداد مبرمجة ، مماثلة لمجموعة Intel 8253 ، التي نجدها مرتبة على شكل ثلاث عدادات مستقلة لـ ١٦ رقماً ثنائياً . يمكن أن تصل معدلات العد إلى ٤ ميغا هرتز بالنسبة للمجموعة MC6840 ، و ٦ ميغا هرتز للمجموعة MC68A4O و٨ ميغا هرتز للمجموعة MC68B40 .

١١ ـ ٣ ـ ٤ ـ ضابطة الأقراص المرنة 6843 (FDC)

يمكن لهذا الجهاز أن يتحكم بأكثر من جهاز إدارة للأقراص المرنة مع التوجيه

الخارجي بالإرسال المضاعف . ونجد هذا الجهاز متوافقاً مع الشكل IBM3740 .

١١ ـ ٣ ـ ٥ ـ ضابطة الدخول المباشر إلى الذاكرة 6844 (DMAC)

يقوم هذا الجهاز بتحويل المعلومات بشكل مباشر بين الذاكرة والأجهزة المساعدة المحيطة عن طريق ضبط وسائل توصيل وحدة المعالجة المصغرة . إن الشكل الوظيفي للضابطة DMAC تتم برمجته عن طريق وسيلة توصيل المعلومات . توجد أربع قنوات DMA مستقلة في الجهاز 6844 . توجد ثلاث وضعيات للنقل تتضمن النقل لبايت واحد أو النقل الجماعي . يبلغ معدل نقل المعلومات الأعظمي ٢ ميغا بايت/ثانية .

١١ ـ ٣ ـ ٦ ـ الضابطة CRT 6845 (CRTC)

هذا الجهاز مماثل لجهاز أنتيل موديل 8275 . فهو يؤمن التوقيت المرئي وتجديد مخاطبة الذاكرة . وتتوفر إمكانيات الترقيم الألفي والنصف بياني والبياني الكامل . يمكن تحديد شكل شاشة الترقيم الأفقي بواسطة مسجلات داخلية وبمصدر توقيت خارجي . يمكن استخدام حتى 512K من الذاكرة في وضعية الرسوم البيانية- وهذا يعطي إبانة نقطية 2048 x 2048 لذاكرة تتسع عرضاً لـ ٣٢ رقماً ثنائياً ، إلخ) .

١١ ـ ٣ ـ ٧ ـ المحول البيني للاتصالات اللاتزامنية 6850 (ACIA)

يقوم المحول ACIA بتأمين شكل المعلومات والتحكم للتوسط بين أجهزة توصيل المعلومات اللاتزامنية المتسلسلة (مثل مجموعة التعديل وإزالة التعديل للإشارات المرسلة) مع وحدات المعالجة المصغرة .

تتم الاتصالات مع وحدة المعالجة المصغرة عن طريق وسيلة توصيل سعة ٨ أرقام ثنائية .

إن الشكل الوظيفي للمحول ACIA يمكن برمجته بواسطة وحدة المعالجة المصغرة . يمكن برمجة مسجل التحكم لإنتاج أطوال كلمات متغيرة ، إلخ . توجد أيضاً ثلاثة خطوط للتحكم تمكن المحول ACIA من التدخل بشكل مباشر مع

مجموعة التعديل وإزالة تعديل الإشارات المرسلة .

يبلغ المعدل الأعظمي لسرعة الإرسال ١ ميغا بود .

١١ ـ ٣ ـ٨ ـ محول المعلو مات التسلسلي التزامني 6852 (SSDA)

يقوم المحول SSAD بتأمين لوحة بينية متسلسلة ثنائية الإتجاه من أجل المعلومات التزامنية . يتم الاتصال مع وحدة المعالجة المصغرة بواسطة وسيلة توصيل معلومات سعة ثمانية أرقام ثنائية .

إن الشكل الوظيفي للمحول SSDA يمكن برمجته بواسطة وحدة المعالجة المصغرة . يمكن برمجة مسجلات التحكم لإنتاج أطوال كلمات متغيرة ، إلخ .

يبلغ معدل سرعة الإرسال الأعظمي ١,٥ ميغا بود .

تشتمل التطبيقات النموذجية للمحول SSAD على أجهزة تحكم كاسيت وضابطات للأقراص العريضة .

١١ ـ ٤ ـ *الأجهزة المساعدة إنتاج زيلوك (Zilog)*

إن صفحات المعلومات للقطع التالية يمكن أن نجدها في كتاب المعلومات الخاص بالقطع إنتاج شركة زيلوك وفي كتاب معلومات الإلكترونيات الدقيقة إنتاج موستيك .

القطع المراد بحثها نجدها مبينة فيما يلي في الجدول ١١ ـ ٤ مع أسعارها التقريبية لعام ١٩٨٥ .

السعر	التسمية	رقم موديل الشركة زيلوك
٢,٥ جنيه	لوحة بينية مدخل/مخرج متوازية	Z80 PIO (Z 8420)
٢,٥ جنيه	دارة مؤقت/وعداد	Z80 CTC (Z 8430)
٧ جنيه	ضابطة الدخول المباشر إلى الذاكرة	Z80 (DMA (Z 8410)
٥ جنيهات	مرسل/ومستقبل لاتزامني مشترك	Z80 DART (Z 8470)
١٠ جنيهات	ضابطة مدخل/مخرج متسلسلة	Z80 SIO (Z 8440)

الجدول ١١ ـ ٤ ـ أجهزة زيلوك المساعدة مع أسعارها التقريبية لعام ١٩٨٥

إن معظم هذه الأجهزة متوفرة بالطرازات Z80 وZ80A و Z80 B .

١١ ـ ٤ ـ ١ ـ اللوحة البينية المتوازية بمدخل/ مخرج Z80 PIO

إن هذه اللوحة هي عبارة عن جهاز قابل للبرمجة مزود بمنفذين يؤمنان التوسط بين الأجهزة المحيطة ووحدة المعالجة المصغرة .

تتم عملية تحويل المعلومات بكاملها تحت التحكم بعملية التوقف . ويمكن برمجة اللوحة PIO لتقوم بتوقيف وحدة المعالجة المركزية عند استلام حالات خاصة في الجهاز المحيط .

يمكن أن يعمل كل منفذ بإحدى ثلاث وضعيات (٤ في حالة المنفذ A) .

الوضعية ١ : مخرج البايت
الوضعية ٢ : مدخل البايت
الوضعية ٣ : التحكم بالأرقام الثنائية
الوضعية ٤ : ثنائية لاتجاه للبايت (في المنفذ A فقط) .

١١ ـ ٤ ـ ٢ ـ دارة المؤقت/والعداد Z80 CTC

هذه الدارة مماثلة لدارة شركة أنتيل موديل 8253 وشركة موتورولا موديل 6840 . فهي تحتوي على أربع قنوات مستقلة ، مع العلم بأن ثلاث منها فقط مزودة بمخارج خارجية .

١١ ـ ٤ ـ ٣ ـ ضابطة الدخول المباشر إلى الذاكرة Z80 DMA

تقوم الضابطة Z80 DMA بتحويل المعلومات بشكل مباشر بين الذاكرة والأجهزة المحيطة عن طريق التحكم بوسائل التوصيل لدى وحدة المعالجة المصغرة . توجد ثلاث مهام أساسية :

١ ـ تحويل المعلومات بين جهازين .
٢ ـ البحث عن بايت معين محجوب بثمانية أرقام ثنائية عند نقطة معينة في الذاكرة

أو المدخل/والمخرج .
٣ ــ مجموع الوظيفتين الآنفتين (١) و(٢) .

يمكن للضابطة Z80 DMA أن تقطع عمل وحدة المعالجة عند الانتهاء بنجاح من عملية البحث .

١١ ــ ٤ ــ ٤ ــ مرسل/مستقبل لاتزامني مشترك Z80 DART

إن هذا الجهاز Z80 DART يحتوي على قناتين ولوحات بينية للتشغيل اللاتزمني المتسلسل . إن الجهاز DART هو عبارة عن جهاز Z80 SIO لا يعمل بالتشغيل التزامني .

١١ ــ ٤ ــ ٥ ــ ضابطة مدخل/ومخرج متسلسلة Z80 SIO

إن الضابطة Z80 SIO تحتوي على قناتين وهي تقوم بدعم كافة المراسم التزامنية واللاتزامنية المشتركة ، الموجهة بالأرقام الثنائية والبايت . إن هذه الضابطة تقوم بإنجاز كافة المهام التي تتم عادة بواسطة الأجهزة UART وUSART . توجد خطوط وضعيات وتحكم منفصلة من أجل أجهزة تعديل وإزالة تعديل الإشارات المرسلة أو الأجهزة المماثلة .

يبلغ معدل المعلومات الأعظمي ٨٠٠ كيلو بود بساعة ترددها ٤ ميغا هرتز .

١١ ــ ٥ ــ *الخاتمة*

توجد عدة أجهزة مساعدة لوحدات المعالجة المصغرة ــ ويتضمن هذا الفصل بعض الأجهزة الهامة والأكثر شيوعاًفقط . وفي العادة تعمل الأجهزة المساعدة بشكل مع وحدة المعالجة Z80 ، كما أن أجهزة شركة أنتيل تعمل بشكل أفضل مع الوحدات موديل 8080 و8085 ، إلخ . على أية حال ليس من الصعب أن يتم الدمج والتوافق ، ومن ثم الكلام .
مقارن ٤ أرقام ثنائية .

يمكن الحصول على صفحات المعلومات من أجل الأجهزة المذكورة في هذا الفصل عن طريق الشركات الصانعة المختصة أو عن طريق كتب معلومات خاصة .

الفصل ١٢

بعض الدارات التكاملية MSI المفيدة

١٢ — ١ — مقدمة

يشرح هذا الفصل بشكل موجز تشغيل أجهزة TTL التي تستخدم عادة في التصميم والتي لم يتم بحثها بعد . الدارات التكاملية التي سيتم بحثها نجدها مدرجة فيما يلي :

'05	مقوم عكسي سداسي بمخارج مجمع مفتوح .
'85	مقارن ٤ أرقام ثنائية .
'138	جهاز فك رموز 8 — 3 .
'157	موجه رباعي 1 — 2 بطريقة الإرسال المضاعف .
'174	ثنائيات استقرار سداسية من النوع D .
'245	مرسل مستقبل بموصل ثماني .
'367	مخمد سداسي ثلاثي الحالات غير عاكس .
'373	سقاطة شفافة ثمانية .
'670	ملف تسجيل 4 x 4 .

إن كلاً من هذه القطع نجدها متوفرة في 74S, 74LS, 74 ، إلخ .

١٢ — ٢ — مقوم عكسي سداسي '05 بمخارج مجمع مفتوح

إن رمز الدارة للموديل 7405 نجده مبيناً في الشكل ١٢ — ١ . وإن شكل

أرجل الموديل 7405 هو نفس شكل الموديل 7404 ، وأما الفرق الوحيد بين الاثنين فهو أن الموديل 7404 يتميز بمخارج أقطاب مشتركة وأما الموديل 7405 فيتميز بمخارج مجمع مفتوح .

يتميز الموديل 7405 بالعديد من الاستعمالات . على سبيل المثال ، نجد أن الأشكال OR السلكية (التي تم بحثها في الفصل الخامس — تحت عنوان قطع مشابهة) تستخدم بوابات مجمع مفتوح . يمكن تحويل إشارة TTL إلى مجمع مفتوح بمجرد تمريرها من خلال الجهاز 7405 (تذكر بأن الجهاز 7405 يقوم بعكس الإشارة أيضاً) .



الشكل ١٢ — ١ — رمز الدارة للجهاز 7405

١٢ — ٣ — مقارن ٤. *أرقام ثنائية 85'*

إن رمز الدارة للجهاز 74LS85 نجده مبيناً في الشكل ١٢ — ٢ وأما جدوله الوظيفي فهو مبين في الجدول ١٢ — ١ .

يقوم الجهاز 74LS85 بإجراء مقارنة مباشرة بين عددين ثنائيين يشتملان على أربعة أرقام عشرية .

الشكل ١٢ — ٢ — رمز الدارة للجهاز 74LS85

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
P3,Q3	P2,Q2	P1,Q1	P0,Q0	P>Q	P<Q	P=Q	P>Q	P<Q	P=Q
P3>Q3	X	X	X	X	X	X	H	L	L
P3<Q3	X	X	X	X	X	X	L	H	L
P3=Q3	P2>Q2	X	X	X	X	X	H	L	L
P3=Q3	P2<Q2	X	X	X	X	X	L	H	L
P3=Q3	P2=Q2	P1>Q1	X	X	X	X	H	L	L
P3=Q3	P2=Q2	P1<Q1	X	X	X	X	L	H	L
P3=Q3	P2=Q2	P1=Q1	P0>Q0	X	X	X	H	L	L
P3=Q3	P2=Q2	P1=Q1	P0<Q0	X	X	X	L	H	L
P3=Q3	P2=Q2	P1=Q1	P0=Q0	H	L	L	H	L	L
P3=Q3	P2=Q2	P1=Q1	P0=Q0	L	H	L	L	H	L
P3=Q3	P2=Q2	P1=Q1	P0=Q0	X	X	H	L	L	H
P3=Q3	P2=Q2	P1=Q1	P0=Q0	H	H	L	L	L	L
P3=Q3	P2=Q2	P1=Q1	P0=Q0	L	L	L	H	H	L

الجدول ١٢ ـ ١ ـ جدول وظيفي للجهاز 74LS85

من الاستخدامات الممكنة للجهاز المقارن 85' هو في دارة « مكون صلب لكلمة سر » . فإذا كان لديك كلمة سر بثمانية أرقام ثنائية ، فإنه عندئذ ، باستخدام جهازي مقارنة 85' ، يمكنك أن تمنع تشغيل الدارة ما لم تكن قيمة مدخله مساوية لكلمة السر .

١٢ ـ ٤ ـ جهاز فك الرموز 8 ـ 3 138'

رمز الدارة للجهاز 74S138 نجده مبيناً في الشكل ١٢ ـ ٣ ويتضمن الجدول ١٢ ـ ٢ جدوله الوظيفي . يقوم الجهاز 74S138 بتخفيض أحد خطوط مخارجه الثمانية استجابة لرموز معينة على خطوط إدخاله الثلاثة .

الشكل ١٢ ـ ٣ ـ رمز الدارة للجهاز 74S138

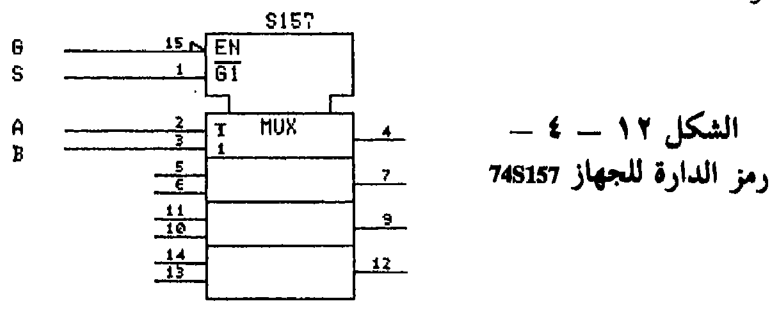
ENABLE			*SELECT*			*OUTPUTS*							
G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

الجدول ١٢ ـــ ٢ ـــ جدول وظيفي للجهاز 74S138

يفيد جهاز فك الرموز 138' جداً لفك رموز العناوين مع الدارات المعتمدة على وحدات المعالجة المصغرة . على سبيل المثال إذا كانت المداخل C, B, A متصلة مع A13 , A14 وA15 التابعة مثلاً لموصل الوحدة Z80 وكانت G1 متصلة بـ $\overline{RFSH}$ وكانت G2A وB متصلتين مع $\overline{MREQ}$ فإنه YO عندئذ ستكون منخفضة بالنسبة لمجال عناوين الذاكرة 1FFFH — 0000H ، وستكون Y1 منخفضة بالنسبة للمجال 3FFFH — 2000H ، إلخ . وبالتالي فإن Y7 — Y0 تعتبر مثالية لإشارات اختيار الرقاقات . تحتوي معظم أجهزة وحدات المعالجة المصغرة على نوع معين من فك رموز العناوين الذي يتم بهذا الشكل .

١٢ ـــ ٥ ـــ *الموجه بطريقة الإرسال المضاعف 1 ـ 2 الرباعي 157'*

رمز الدارة للجهاز 74S157 مبين في الشكل ١٢ ـــ ٤ والجدول الوظيفي مبين في الجدول ١٢ ـــ ٣ .



الشكل ١٢ ـــ ٤ ـــ رمز الدارة للجهاز 74S157

INPUTS				OUTPUT
$\bar{G}$	S	A	B	Y
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

الجدول ١٢ ــ ٣ ــ الجدول الوظيفي للجهاز 74S157

يفيد الجهاز 157' لتوصيل المداخل غير الثلاثية الحالات بجهاز ما . ومن استعمالات هذا الجهاز أن يتم توجيه العناوين بالإرسال المضاعف إلى ذاكرة RAM بالمنفذ الثنائي . إن ذاكرة RAM ذات المنفذ الثنائي هي عبارة عن ذاكرة RAM عادية لها مجموعة دارات حولها تسمح لجهازين بالوصول إليها .

١٢ ــ ٦ ــ *ثنائي الاستقرار من النوع D السداسي 174*

إن رمز الدارة للجهاز 74LS174 مبين في الشكل ١٢ ــ ٥ .

يفيد هذا الجهاز في حال وجود الكثير من الإشارات التي تحتاج إلى تنظيم ساعي بواسطة ساعة مشتركة على سبيل المثال إذا كان لديك خمسة خطوط للمعلومات تحتاج إلى تنظيم ساعي في ثنائيات استقرار ، فإنه عندئذ باستخدام الأجهزة 74LS174 سوف تحتاج إلى ثلاث دارات تكاملية مزودة بـ ١٤ رجلاً . يلزم جهاز 74LS174 واحد فقط للحصول على نفس النتيجة . في حال لزوم خطوط ساعية وإعادة ضبط وضبط فردية فإن الجهاز 74LS174 سيكون أكثر فائدة .

توجد دارة تكاملية أخرى مماثلة وهي الثنائي الاستقرار من النوع D الثماني 273' .

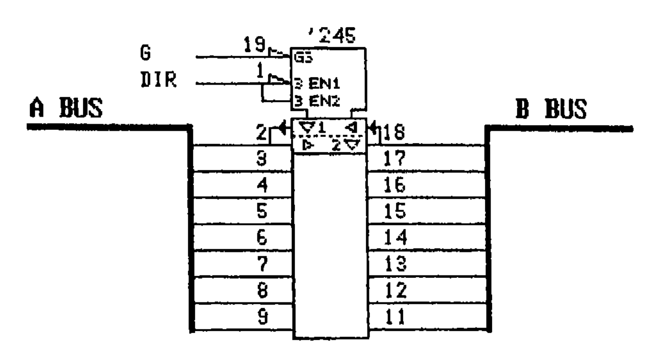
'LS174
1 R
9 C1
3 1D 2
4 5
6 7
11 10
13 12
14 15

الشكل ١٢ ــ ٥ ــ رمز الدارة للجهاز 74LS174

١٢ — ٧ — مرسل مستقبل بموصل ثماني 245'

رمز الدارة للجهاز 74LS245 مبين في الشكل ١٢ — ٦ والجدول الوظيفي مبين في الجدول ١٢ — ٤ .

الجهاز 74LS245 يمثل سقاطة شفافة ثنائية الاتجاهات ثلاثية الحالات .



الشكل ١٢ — ٦ — رمز الدارة للجهاز 74LS245

$\bar{G}$	DIR	Operation
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation (tristate)

الجدول ١٢ — ٤ — جدول وظيفي للجهاز 74LS245

إن الجهاز 245' مفيد للتوسط بين موصل المعلومات الثنائي الاتجاهات مع خطوط المعلومات للذاكرة RAM المزدوجة المنافذ . عندما تتحدث الذاكرة RAM المزدوجة المنافذ إلى جهاز A . فإنها يجب أن يتم عزلها عن الجهاز B . ويمكن للجهاز 245' أن يقوم بذلك .

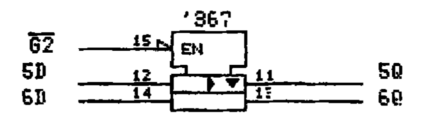
١٢ — ٨ — مخمد سداسي ثلاثي الحالات غير معكوس 367'

رمز الدارة للجهاز 74367 مبين في الشكل ١٢ — ٧ .

عندما تكون G1 مرتفعة فإن 1Q و2Q و3Q و4Q تكون ثلاثية الحالات .

عندما تكون G2 مرتفعة فإن 5Q و 6Q تكون ثلاثية الحالات .

عندما تكون G1 منخفضة فإن ID تذهب إلى المخرج 1Q ، إلخ .



الشكل ١٢ — ٧ — رمز الدارة للجهاز 74367

إن الجهاز 74367 هو طراز أحادي الإتجاه للجهاز 245' ويستخدم لأغـراض مماثلة .

١٢ — ٩ — مشبّة ثمانية 373'

رمز الدارة للجهاز 74S373 مبين في الشكل ١٢ — ٨ والجدول الوظيفي مبين في الجدول ١٢ — ٥ .

الشكل ١٢ — ٨ — رمز الدارة للجهاز 74S373

$\overline{OE}$	G	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q
H	X	X	Z

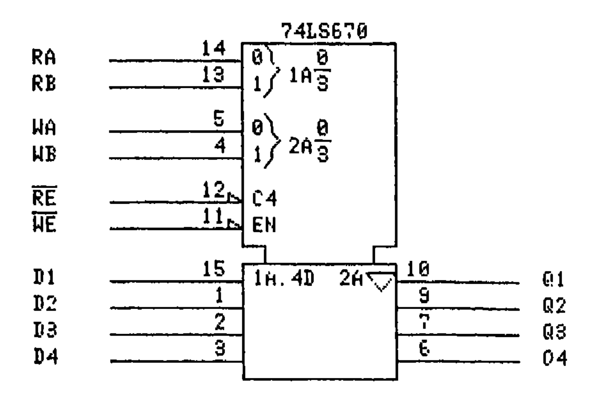
الجدول ١٢ — ٥ — جدول وظيفي للجهاز 74S373

ملاحظة Z تدل على ثلاثية الحالات .

الجهاز 373' مماثل للجهاز 367' باستثناء أن المخارج قد تتجمد والتي يمكن أن تكون مفيدة جداً في العديد من الاستخدامات .

١٢ — ١٠ — *ملف تسجيل 4 x 4 '670*

رمز الدارة للجهاز 74LS670 مبين في الشكل ١٢ — ٩ .



الشكل ١٢ — ٩ — رمز الدارة للجهاز 74LS670

يسمح الجهاز 74LS670 بقراءة وكتابة فورية على مسجلاته . إن زمن الدخول للجهاز 74LS670 سريع جداً . بما أن عملية القراءة وعمليات الكتابة مستقلة فإن الجهاز 74LS670 يمكن أن تستخدم للاتصال بين جهازين ليسا متزامنين (مثل وحدتي معالجة مصغرتين) .

مداخل للمعلومات	D1 D3
هما عنوان معلومات القراءة	RA,RB
هي مخارج المعلومات	Q1-Q4
هما عنوان معلومات الكتابة	WA,WB
تنفيذ الكتابة	$\overline{WE}$
تنفيذ القراءة	$\overline{RE}$

الجهاز 670' عبارة عن جهاز ذاكرة RAM ثنائي المنافذ . وهو مفيد جداً لكونه لا يحتاج إلى أية دارات خارجية لتنفيذ مهمة المنافذ الثنائية . وبما أن الجهاز صغير للغاية ، فإنه لا يمكن استخدامه لنقل المعلومات الرئيسية بسهولة . وعلى أية حال يعتبر مثالياً لتمرير المعلومات بين جهازين مختلفي التزامن بشكل كلي ، مثل وحدتي معالجة مصغرتين .

١٢ ــ ١١ ــ مثال على الذاكرة المزدوجة المنافذ

يوضح الشكل ١٢ ــ ١٠ رسماً لذاكرة RAM مزدوجة المنافذ ، يستخدم بعض الأجهزة المذكورة في هذا الفصل إن عمليات التنفيذ يجب أن تكون إشارات تتجنب الاصطدام (أي وحدة المعالجة A تحاول الوصول إلى الذاكرة RAM بنفس الوقت الذي تقوم فيه الذاكرة B بذلك) . توجد عدة طرق لتجنب الاصطدام . وهذه لا تدخل ضمن مجال البحث في هذا الكتاب .

١٢ ــ ١٢ ــ الخاتمة

يقدم هذا الفصل إضافة إلى حصيلة القارىء من جهة التصميم . ننصح القارىء بمحاولة التصميم للدارات البسيطة المعتمدة على هذه الأجهزة .



الشكل ١٢ ــ ١٠ ــ الذاكرة RAM الثنائية المنافذ

الفصل ١٣

قطع LSI متطورة

١٣ ـ ١ ـ مقدمة

يبحث هذا الفصل في مجالين ، لم يتم ذكرهما في معظم المناقشات التي جرت حول التصميم العددي : وهما المجموعة المنطقية Bit Slice Logic والدارات التكاملية المسماة Custom .

يتعامل معظم الناس مع المجموعة المنطقية Bit Slice Logic بشيء من التخوف والحذر ، بشكل خاطيء لأن استخدام هذه المجموعة لا يختلف عن استخدام أي جهاز رقمي آخر .

أما الدارات التكاملية المسماة Custom ICs فهي أجهزة يستطيع المصمم أن يعرفها بنفسه — حيث أن هذه سريعاً ما تكتسب شهرتها . إن الدارات التكاملية Custom ICs يمكن أن تكون إما LSI أو VLSI طبقاً لحجمها .

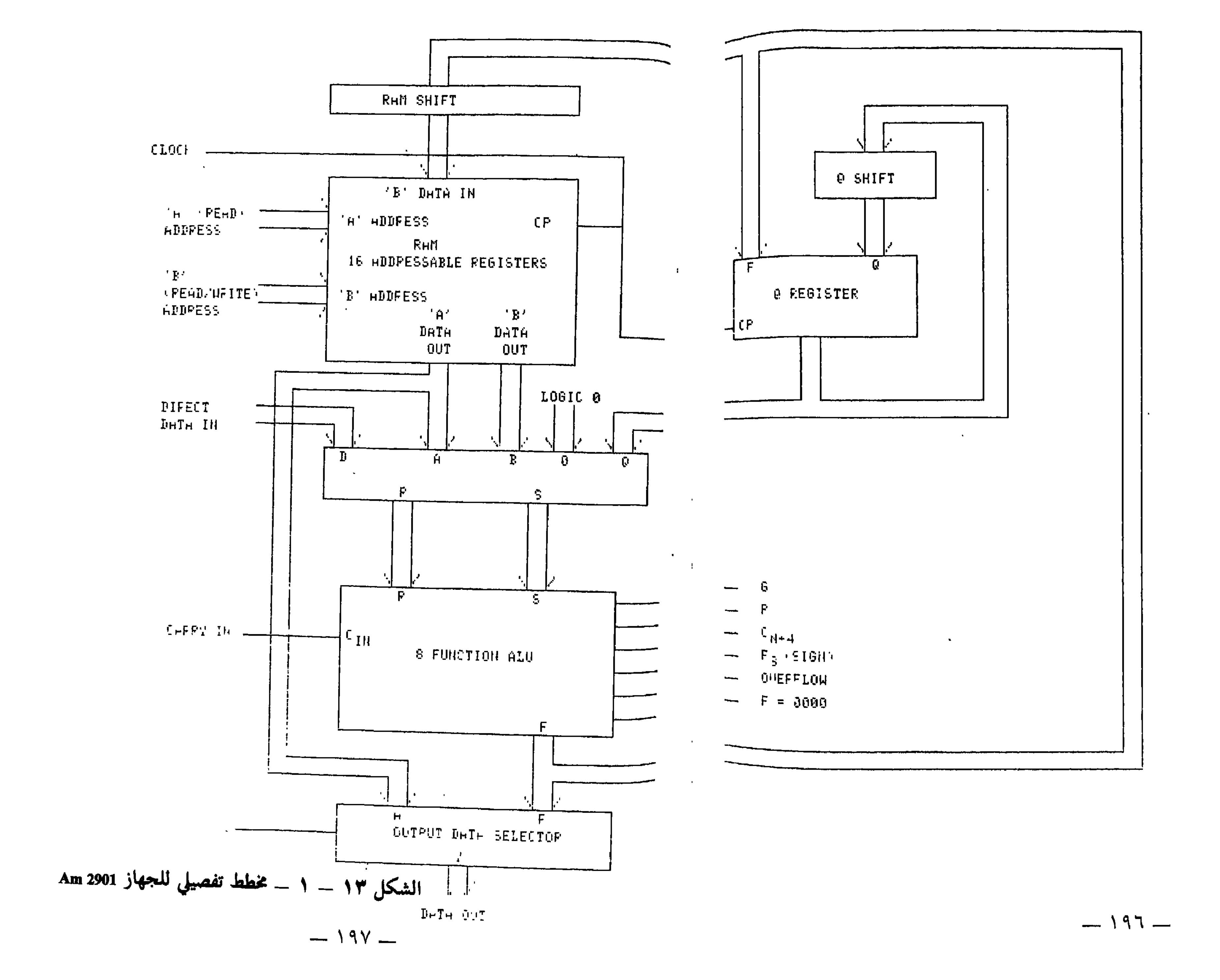
١٣ ـ ٢ ـ *المجموعة المنطقية Bit Slice Logic*

تتكون المجموعة المنطقية هذه من مجموعات بناء وحدة المعالجة المركزية . وهذه المجموعات عبارة عن أجهزة LSI يمكن تشكيلها بطرق مختلفة . وهذا يسمح بتصميم وحدة معالجة مركزية تشتمل على مجموعة متميزة من التعليمات المصغرة والتعليمات الكبيرة . وقد تكون التعليمات الكبيرة بسيطة كمعلومات الانتقال من

المسجل ١ إلى المسجل ٢ أو معقدة مثل ضرب عددين مكونين من ٦٤ رقماً ثنائياً وتخزين النتيجة العشرية في الذاكرة . إن معلومة كبيرة واحدة تكفي لكلا التعليمات . إن الميزة الكبيرة لتحديد التعليمات المصغرة والتعليمات الكبيرة تكمن في أن العمليات المعقدة يمكن أن تنفذ بمعدل أسرع بعدة مرات مما لو كانت تنفذ باستخدام وحدة المعالجة المصغرة العيارية (مثل Z80) . وبالإضافة إلى إمكانية إنتاج أي حجم لوحدة المعالجة المركزية . إن أكبر وحدة معالجة مصغرة في عام ١٩٨٥ تحتوي على ٣٢ موصل معلومات داخلي للأرقام الثنائية . باستخدام المجموعة المنطقية Bit Slice Logic ، فإنه يمكن استخدام موصل سعة ١٢٨ رقماً ثنائياً (أو أكبر) (وهذا سوف يتطلب استخدام الكثير من الدارات التكاملية) . هناك ميزة أخرى للمجموعة المنطقية Bit Slice Logic وهي أنها يمكن أن تستخدم لتضاهي وتنافس أي جهاز كومبيوتر . أما مساوىء المجموعة المنطقية هذه فتكمن في سعرها (حيث أن وحدة المعالجة Z80 تكلف حوالي ٣ جنيهات بينما وحدة المعالجة Bit Slice تكلف ٢٠ جنيهاً فأكثر) وفي عداد الدارات التكاملية اللازمة لصنع مجموعة Bit Slice (حيث يلزم أكثر من عشر دارات تكاملية) .

تقوم AMD بإنتاج السلسلة 2900 ، التي هي عبارة عن منتجات Bit Slice . إن السلسلة 2900 تنتجها شركات أخرى عديدة — وبعض الأجهزة تتميز بمكافئات من السلسلة ٧٤ . يتضمن هذا القسم القاء نظرة على بعض الدارات التكاملية الهامة في هذه السلسلة . وهذه الدارات التكاملية نجدها مبينة فيما يلي .

شريحة وحدة معالجة مصغرة ثنائية القطب بأربعة أرقام ثنائية	Am2901
مولد نقل أمامي	Am2902
وحدة تحكم بالنقل والوضعية	Am2904
Vectored Priority Interrupt Controller	Am2909
Clock Generator and Microcycle Length Controller	Am2914
مولد ساعي وضابط أطوال دورات مصغرة	Am2925
وحدة تحكم بالبرامج	Am2930
مولد عناوين DMA/عداد/ مؤقت مبرمج	Am2942



الشكل ١٣ ـ ١ ـ مخطط تفصيلي للجهاز Am 2901

يمكن الحصول على صفحة المعلومات الخاصة بهذه الأجهزة من كتاب AMD's Bipolar Logic and Interface Data Book .

١٣ — ٢ — ٢ — شريحة وحدة المعالجة المصغرة الثنائية القطب سعة أربع أرقام ثنائية Am 2901

إن الميزات الرئيسية للشريحة Am 2901 هي :

١٦ مسجل سعة أربعة أرقام ثنائية

٢ برنامج دخول مستقلين إلى المسجلات

وحدة منطقية حسابية بثمانية وظائف

عمليات نقل

أربع رايات وضعيات

مدخل تعليمات مصغرة سعة ١٧ رقماً ثنائياً

قابلية اتساعها لتستوعب أي عدد من الأرقام الثنائية

إن المخطط الإجمالي للشريحة Am 2901 نجده مبيناً في الشكل ١٣ — ١ . يمكن الوصول إلى مجموعة التسجيل عن طريق منفذين منفصلين A وB . يمكن للمنفذ A أن يقرأ المعلومات من المسجلات ، بينما يمكن في المنفذ B القراءة أو الكتابة . إن الأرقام الثنائية للمعلومات الخارجة من كل منفذ تذهب إلى موجه بطريقة لارسال المضاعف حيث يقوم هذا الموجه بإدارة مداخل الوحدة المنطقية الحسابية . تحتوي الوحدة المنطقية الحسابية على مدخلين سعة ٤ أرقام ثنائية . يشتمل الموجه بالإرسال المضاعف على موجه 1 — 3 (المنفذ B لاخراج المعلومات ومخرج نقل والصفر) . إن مخرج الوحدة المنطقية الحسا بية يذهب إلى ثلاثة أماكن :

١ — مسجل نقل يمكن نقل المعلومات بوضعية واحدة إلى اليسار أو إلى اليمين .

٢ — المنفذ B لإدخال المعلو مات .

٣ — 2 — 1 mux (مع المنفذ A لاخراج المعلومات) يقوم بإدارة خطوط إخراج المعلومات .

تقوم الوحدة المنطقية الحسابية بقبول نقل من الجهاز 2901 السابق بسلسلة وتنتج أربع رايات وضعيات Carry Generate (G) و Carry Propagate (P) للاستخدام مع مولد نقل أمامي مثل الشريحة Am 2902 .

إن وظائف الوحدة المنطقية الحسابية الثمانية هي :

R+S
R−S
S−R
R OR S
R AND S
$\bar{R}$ AND S
R XOR S
R XNOR S

إن الشريحة Am 2901 هي عبارة عن جهاز مزود بأربعين رجلاً .

١٣ ـ ٢ ـ ٣ ـ مولد النقل الأمامي Am 2902

هذا عبارة عن جهاز عالي السرعة يقبل حتى أربعة أزواج من إشارات نشر النقل وتوليد النقل ومدخل نقل . فهو يصدر إشارات نقل لأربعة وحدات منطقية حسابية (مثل 4Am 2901s) . وهكذا فإنه يمكن استخدام جهاز Am 2902 مع أربعة شرائح Am 2901 لانتاج وحدة معالجة (١٦ رقماً ثنائياً) . يمكن استخدام خمس مولدات Am 2902 مع ١٦ شريحة Am 2901 لانتاج وحدة معالجة (٦٤ رقماً ثنائياً) ، إلخ .

المولد Am 2902 هو جهاز مزود بـ ١٦ رجلاً .

وحدة التحكم بالنقل والوضعيات Am 2904

تحل الدارة التكاملية محل معظم المجموعات المنطقية MSI التي تكون مطلوبة حول الوحدة المنطقية الحسابية ، مثل Am 2901 . إن وحدة التحكم Am 2904 لها أربعة وظائف :

١ ـ تسجيل الوضعيات .

٢ ــ موجة بالإرسال المضاعف لمجموعة رموز الحالات .
٣ ــ موجة بالإرسال المضاعف لوصلة النقل .
٤ ــ موجة بالإرسال المضاعف للتحكم بالنقل .

مسجل النقل

إن وحدة التحكم Am 2904 مزودة بأربعة مسجلات لأربعة أرقام ثنائية وهذه المسجلات يمكنها تخزين مخارج الوضعيات الأربعة للوحدة المنطقية الحسابية . هذه المسجلات هي مسجل الوضعيات المصغرة (μSR) ومسجل الوضعيات الآلية (MSR) إن المسجل μSR يمكن تحميله بواسطة :

أ ــ المداخل الأربعة للوضعيات الخاضعة للتحكم بالتعليمات .
ب ــ المسجل MSR الخاضع للتحكم بالتعليمات .
جـ ــ يمكن ضبط كل رقم ثنائي/وإعادة ضبطه تحت التحكم بالتعليمات .

يمكن تحميل المسجل MSR بواسطة :

أ ــ المداخل الأربع للوضعيات الخاضعة للتحكم بالتعليمات .
ب ــ المسجل μSR الخاضع للتحكم بالتعليمات .
جـ ــ الأرجل المتوازية الأربعة للمداخل/والمخارج الخاضعة للتحكم بالتعليمات .
د ــ يمكن لكل رقم ثنائي أن يضبط/ويعاد ضبطه تحت التحكم بالتعليمات .
هـ ــ المداخل الأربع لتنفيذ أو تشغيل الأرقام الثنائية .

يمكن لهذه المسجلات أن تتصل مع موصل معلومات الجهاز عن طريق أرجل المداخل/ والمخارج المتوازية .

موجه بالإرسال المضاعف لمجموعة رموز الحالات

يمكن لوحدة التحكم Am 2904 أن تقوم بـ ١٦ عملية مختلفة مع مسجلات الوضعيات . تذهب نتائج العمليات إلى موجه بالإرسال المضاعف 1 ــ 16 ويمكن

قراءتها من قبل العالم الخارجي .

موجه بالإرسال المضاعف لوصلة النقل

يمكن لوحدة التحكم Am 2904 أن تقوم بـ ٣٢ نقلة مختلفة وأن تدور العمليات باستخدام خطوط المداخل/ والمخارج الأربع التي ترتبط مع الوحدة المنطقية الحسابية .

موجه بالإرسال المضاعف للتحكم بالنقل الداخلي

تقوم وحدة التحكم Am 2904 بتوليد النقل خارجاً من واحدة من سبع وظائف .

هذا عبارة عن جهاز ذي أربعين رجلاً .

١٣ ـ ٢ ـ ٥ ـ نبيطة ضبط التعاقب للبرامج المصغرة Am 2909

إن نبطية ضبط التعاقب Am 2909 هي عبارة عن ضابطة عناوين لأربعة أرقام ثنائية يمكنها أن تتعاقب من خلال سلسلة من التعليمات المصغرة في الذاكرة PROM أو الذاكرة RAM .

يمكن تجميع عدة نبيطات Am 2909 بشكل تعاقبي لتقديم أي عدد من الأرقام الثنائية . يمكن لنبيطة ضبط التعاقب Am 2909 أن تختار عنواناً من أحد مصادر أربعة :

١ ـ مداخل مباشرة .
٢ ـ مداخل مسجلات مباشرة (محفوظة في مسجل داخلي) .
٣ ـ منطقة رفع رباعية المستوى .
٤ ـ مسجل عداد برامج (يحتوي عادة على آخر العناوين 1 +) .

إن المنطقة الرباعية المستوى تسمح بتنفيذ البرامج الفرعية . وهذا يسمح بظهور البرامج المصغرة المعقدة ، باستخدام الحد الأدنى من الذاكرة PROM .

هذه عبارة عن جهاز مزود بعشرين رجلاً .

١٣ ـ ٢ ـ ٦ ـ ضابطة التوقف ذات الأسبقية الموجهة Am 2914

إن الضابطة Am 2914 تقبل ثمانية مستويات من التوقفات يمكن لكل منها أن يحجب بشكل فردي . إن محول الرموز 3 ـ 8 يقول بإنتاج كمية موجهة بمقدار ٣ أرقام ثنائية والتي تتوافق مع أعلى مستوى للتوقف غير المحجوب . تحتوي الضابطة Am 2914 على مسجل وضعيات يحتوي على أقل أسبقية سيقبلها . بعد أن تتم قراءة كمية موجهة من الضابطة Am 2914 فإن مسجل الوضعيات يتم تحميله بالكمية الموجهة . في حال حدوث توقف وكان هذا بمستوى مساو أو أكبر من القيمة المخزونة في مسجل الوضعيات فإن الضابطة Am 2914 ستنتج طلباً للتوقف .

يتم التحكم بالضابطة Am 2914 بواسطة مجال تعليمات لأربعة أرقام ثنائية . هذه الضابطة عبارة عن جهاز ذي ٤٠ رجلاً .

١٣ ـ ٢ ـ ٧ ـ ضابطة أطوال الدورات المصغرة والمولد الساعي Am 2925

إن الضابطة Am 2925 تعطي ثمانية مجموعات مكونة من أربعة أشكال موجبة ساعية مختلفة . قد تعمل الضابطة Am 2925 بما يزيد على ٣١ ميغا هرتز . وتتوفر أيضاً وسائل التحكم بالتشغيل/والتوقف والتحكم الأحادي المرحلة .

هذه الضابطة عبارة عن جهاز ذي ٢٤ رجلاً .

١٣ ـ ٢ ـ ٨ ـ وحدة التحكم بالبرامج Am 2930

إن وحدة التحكم Am 2930 هي عبارة عن وحدة تحكم بالبرامج لأربعة أرقام ثنائية والتي تفعل للتعليمات الضخمة أو الكبيرة ما تفعله نبيطة ضبط التعاقب Am 2909 للتعليمات المصغرة .

يمكن تجميع عدة وحدات تحكم Am 2930 بشكل تعاقبي لإعطاء أي عدد من الأرقام الثنائية .

يمكن لوحدة التحكم Am 2930 أن تختار عنواناً من أربعة مصادر :

١ ــ مداخل مباشرة .
٢ ــ مداخل المسجل .
٣ ــ منطقة الدفع ذات ١٧ مستوى .
٤ ــ مسجل تعداد البرامج .

تحتوي وحدة التحكم Am 2930 على ٣٢ تعليمة ، تعتمد ١٦ منها على مدخل رموز الحالات (عادة بتوصيل مباشر من وحدة التحكمAm 2904) .

تنقسم مجموعة التعليمات إلى خمسة أنواع :

١ ــ الإحضار غير المشروط .
٢ ــ القفز المشروط .
٣ ــ القفز المشروط إلى تعليمات فرعية .
٤ ــ العودة المشروطة من تعليمات أو برنامج فرعي .
٥ ــ متنوعة .

هذه الوحدة عبارة عن جهاز مزود بـ ٢٨ رجلاً .

١٣ ــ ٢ ــ ٩ ــ مولد العناوين DMA/ عداد/مؤقت مبرمج Am 2942

إن هذا الجهاز هو عبارة عن وسيلة سعة ٨ أرقام ثنائية ويمكن جمعها تعاقبياً مع أجهزة Am 2942 أخرى لإعطاء أي عدد من الأرقام الثنائية .

يمكن استخدام الجهاز Am 2942 كعداد/مؤقت قابل للبرمجة أو كمولد عناوين DMA .

يحتوي الجهاز Am 2942 على ١٦ تعليمة ، ثمانية لكل مهمة .

وعندما يستخدم هذا الجهاز كمؤقت/عداد فإنه يؤمن عدادين مستقلين للأعلى والأسفل لثمانية أرقام ثنائية . ويمكن جمع هذين العدادين للحصول على عداد واحد لستة عشر رقماً ثنائياً .

وعندما يستخدم هذا الجهاز كمولد عناوين DMA فإنه يؤمن عناوين ذاكرة

تعاقبية لتحويل المعلومات بشكل متتابع إلى الذاكرة ومنها . وهو مزود بوسيلة تعداد للكلمات ويؤمن إشارة DONE عندما تصبح عملية التحويل كاملة .

هذا الجهاز مزود بـ ٢٢ رجلاً .

١٣ ـ ٣ ـ الدارات التكاملية المسماة بـ *Custom ICs*

يوجد نوعان من الدارات التكاملية المسماة بـ Custom ICs وهما *Semi-Custom* . Full Custom . إن الدارات التكاملية Full Custom ICS تسمح بوجود دارات أكثر تعقيداً من الدارات التكاملية المسماة Semi Custom ، إلا أنها أكثر صعوبة وأكثر تكلفة إذا أريد تصميمها .

١٣ ـ ٣ ـ ١ ـ الدارات التكاملية Semi Custom ICs

يوجد نوعان رئيسيان من الدارات Semi Custom ICS . وهما المجموعة البوابية والتصميم الخلوي . فالدارات التكاملية ذات التنظيم البوابي نجدها مزودة بمجموعة من الصمامات البسيطة المتوضعة على رقاقة . يمكن استخدام برامج الكومبيوتر للوصل بين هذه الصمامات أو البوابات للحصول على أجهزة أكثر تعقيداً . إن ميزات المجموعات البوابية تكمن في إنخفاض تكلفة التصميم وفي سرعة زمن الإعداد (التصميم للإنتاج) . أما مساوىء هذه المجموعات فتكمن في إضاعة حيز كبير بسبب الصمامات غير المستخدمة كما أن استهلاك القدرة يكون كبيراً .

يعتمد التصميم الخلوي على مجموعة من المهام القياسية (مثل مكافىء 74LS174) ، والخلايا المطلوبة التي لها كافة التفاصيل اللازمة للانتاج المخزون مسبقاً . إن كل ما يحتاجه المهندس من عمل هو أن يقوم بوصل هذه الخلايا مع بعضها لتنفيذ تصميمه . إن مزايا التصميم الخلوي على المجموعات البوابية تكمن في قلة الحيز الضائع وفي زيادة سرعة التشغيل وفي قلة استهلاك القدرة .

إن التصاميم الخلوية تعتبر أعلى تكلفة من المجموعات البوابية بكميات صغيرة جداً (أقل من ١٠٠) ، إلا أنها تكون أرخص إذا كانت بكميات متوسطة الحجم .

١٣ ـ ٣ ـ ٢ ـ التصميم باستخدام الدارات التكاملية Semi Custom

لتصميم دارة تكاملية بوابية (gate arry IC) فإن على المهندس أن يأخذ معه تصميماً (بطريقة TTL) جاهزاً إلى الشركة التي تتعامل مع التصميمات البوابية . وسيكون لدى هذه الشركة جهاز كومبيوتر مع مكتبه بالمهام القياسية التي تحتوي التوصيلات الداخلية المشتركة اللازمة لصنع أجهزة أكثر تعقيداً (مثل جهاز النطاط) . سيعيد المهندس تصميم دارته معتمداً على هذه المهام القياسية ، والتي سيكون الكثير منها مماثلاً لمهام TTL القياسية . وبعد إعادة تصميمه للدارة وإجراء توصيلات الدارة مع الكومبيوتر ، فإن الكومبيوتر سيجري برنامج اختبار لاختبار كافة المجموعات المنطقية مستخدماً إما معطيات إختبار من قبل المهندس أو معطيات الاختبار الخاصة به (المولدة ذاتياً) . عند إجراء برنامج الاختبار هذا سيقوم الكومبيوتر بصنع أطول توصيلات تقريبية لاستخدامها من أجل إعاقات الإنتشار . سيقوم برنامج الاختبار بتدقيق تقييدات التوقيت مع التقييدات الوظيفية (فيما إذا كانت الدارة تشتمل على خاصية التشغيل الصحيحة . وبمجرد أن يقتنع المهندس بنتائج اختباره . فإن الدارة يتم طرحها بواسطة برنامج آخر يحدد بشكل دقيق جهة إمتداد كل توصيلة من التوصيلات . الآن يتم تشغيل برنامج الاختبار مرة أخرى بأطوال توصيلات دقيقة . فإذا نجحت هذه الدارة باجتياز هذا الاختبار فإن المهندس ستتكون لديه درجة كبيرة من الثقة في الدارة التكاملية (IC) وسيتم إنتاجها بالسيليكون .

أما التصميمات الخلوية فهي متشابهة جداً من حيث الفكرة والمفهوم .

١٣ ـ ٣ ـ ٣ ـ الدارات التكاملية Full Custom ICS

يتضمن التصميم Full Custom تحديد التصميم الدقيق للسيليكون والطلي بالمعدن في الدارة التكاملية . وبالتالي فإن هذا العمل يعتبر من الأعمال المعقدة التي تتطلب جهداً ووقتاً كبيرين . إن مزايا الدارات التكاملية full custom على الدارات Semi Custom تكمن في إنخفاض استهلاك القدرة وفي زيادة سرعة التشغيل ، وزيادة

مردود السليكون (ونادراً ما يكون هناك حيز صائع) . وأما المساوىء فتكمن في التكلفة التصميمية العالية جداً وفي الصعوبات عند التصميم من لاشيء (على الرغم من وجود بعض البرامج CAD لمساعدة المصممين) . على أية حال ، بالنسبة للكميات الكبيرة جداً تعتبر الدارات التكاملية Full Custom أرخص بكثير من مثيلاتها التي تعتمد على الدارات Semi Custom .

١٣ — ٤ — الخاتمة

يشتمل هذا الفصل على اكتمال الأجهزة الجديدة المقدمة في هذا الكتاب .

يمكن أن تكون المجموعة المنطقية Bit Slice Logic مفيدة جداً بالنسبة للتصميمات العالية السرعة والعالية التقنية ، مثل الدارات التكاملية Custom ICS . إن كلا هذين المجالين لهما سحره وننصح القارىء بدراستها بشيء من التفصيل .

الفصل ١٤

دورة حياة المشروع

١٤ ـــ ١ ـــ مقدمة

يتضمن هذا الفصل وصفاً للمراحل المختلفة التي يشتمل عليها مشروع ما بدءً من المواصفات الابتدائية وانتهاءً بخدمات ما بعد التصميم .

في أغلب الأحيان تقوم الشركة الكبيرة بالتعاقد مع شركة أخرى صغيرة لإنجاز العمل. وهذا يتم عادة إذا كان لدى الشركة الكبيرة عملاً كثيراً لمواردها، أو اذا دعت الحاجة إلى إنجاز العمل بسرعة (حيث أن الشركات الصغيرة يكون فيها الجمود أقل من معظم الشركات الكبيرة) . قد يتخذ العمل شكل كومبيوتر أو جهاز طرفي أو قسماً من جهاز كبير ، أو جهاز محيط مساعد ، إلخ . إن دورة الحياة لمثل هذا المشروع تكون على النحو التالي :

١ ـــ تحديد مواصفات التصميم .
٢ ـــ التخطيط .
٣ ـــ إنتاج مخططات الدارات ومخططات التوقيت ، إلخ .
٤ ـــ إنتاج النموذج الأولي الأول .
٥ ـــ إنتاج لوحات الدارات المطبوعة PCBs .
٦ ـــ خدمات ما بعد مرحلة التصميم .

١٤ ـ ٢ ـ تحديد المواصفات

هذه تنقسم إلى مرحلتين :

١ ــ تقوم الشركة الكبيرة (البائعة) بتقديم مواصفات الإنتاج للمتعهد (الشركة الصغيرة) وهذه يجب أن تشتمل على :

أ ــ التفاصيل الوظيفية الكاملة للكيفية التي يجب أن تعمل بها المنتوجات .

ب ــ التفاصيل البينية الكاملة (كيفية اتصالها بالعالم الخارجي) .

جـ ــ أبعاد وشكل المنتجات .

د ــ التفاصيل البيئية المحيطة بالمنتجات .

هـ ــ المقاييس الزمنية .

و ــ أية شروط أخرى (مثل موافقة الوكالة) .

أ ــ التفاصيل الوظيفية الكاملة

قد تكون هذه التفاصيل مختصرة أو مطولة . وهي يجب أن تحتوي على معلومات كافية للمتعهد لإنتاج ما يراد إنتاجه مما يرغب به الطرف البائع . وفي الغالب يكون هذا ناقصاً لأن الطرف البائع لا يعرف بشكل فعلي ما يريده بشكل دقيق .

ب ــ التفاصيل البينية الكاملة

هذه التفاصيل تكون في أغلب الأحيان داخلة ضمن الفقرة (أ) وهي يجب أن تتضمن معدلات البود والتفاصيل الأخرى المتعلقة بالآلة الطابعة والأجهزة البينية الأخرى .

جـ ــ الأبعاد والشكل

هذه تتضمن ما يجب أن يبدو عليه شكل المنتجات مع تحديد حجمها .

د ــ الظروف البيئية المحيطة

هذه تتضمن مجالات أوضاع التشغيل التي يجب أن تعمل المنتجات بموجبها .

تشتمـل هـذه التفاصيـل على درجـة الحرارة والرطوبـة والصدمـة والتفريـغ الالكتروستاتي ، إلخ .

هـ ـ المقاييس الزمنية

هذه تشتمل على التواريخ التي يجب أن يتم بموجبها تنفيذ الأشياء (مثلاً النموذج الأولي ، وإكمال مخططات الدارات ، إلخ) . وهذه تتضمن عادة بعض العقوبات أو الغرامات اللحظية المرتبطة لها بسبب التأخير بالتسليم .

و ـ أية شروط أخرى

توجد وكالات عديدة تقوم باختبار المنتجات الجديدة للتأكد من بعض الأشياء مثل ابتعاث التداخـل الكهرمغناطيسي (EMI) الـذي يمكـن أن يتسبب بحدوث موجات إشعاعية لاسلكية تحدث تشويشاً على الطائرات ، إلخ ، عوامل الأمان ، إلخ . وتقوم العديد من الحكومات في الوقت الحاضر بالسماح ببيع المنتجات للعامة فقط في حال حيازتها لموافقة الوكالات :

في أوربا تعتبر VDE هي الوكالة الرئيسية .
في الولايات المتحدة تعتبر UL وFCC هي الوكالات الرئيسية .
وفي كندا تعتبر CSA هي الوكالة الرئيسية .

٢ ـ بعد أن يتسلم المتعهد مواصفات الجهة البائعة فإنه يجب التأكد من أن هذا المتعهد قد استوعب كل شيء موجود في هذه المواصفات . وأن أي شيء غير واضح بشكل كلي يمكن عادة أن يتم توضيحه برسالة تلكس أو بمخابرة هاتفية . (يتم بشكل بديهي حفظ نسخ عن كافة المراسلات التي تتم مع أي جهة وخاصة تلك التي تكون خارج الشركة) . ومن غير المعتاد أن تكون كافة المواصفات التي يحددها الطرف البائع واضحة أي لا لبس فيها بشكل عام ـ فلابد من وجود بعض النقاط الغامضة . ومن ثم يقوم المتعهد بإنتاج وتحديد مواصفات التصميم الخاصة به ، إستناداً إلى المواصفات المحددة من قبل الطرف البائع . تتضمن مواصفات الطرف البائع ما

يريده من عمل يجب أن يلتزم بأدائه المتعهد ، ويجب أن تتضمن مواصفات المتعهد ما يود أن يقوم بإنجازه من عمل بهذا الخصوص . وعند هذه النقطة يتلاقى الطرف البائع والمتعهد لمناقشة وبحث نوعي المواصفات، حيث يتوصل الطرفان في نهاية المطاف إلى مواصفات واحدة محددة تعتبر أساساً للتعاقد بين الطرف البائع والمتعهد . سيشتمل العقد المبرم على السعر الذي يحدده المتعهد ، وعلى طريقة الدفع المعتادة وتكون بدفع ثلث المبلغ عند بداية المشروع والثلث الثاني عند الاستعراض العملي لنموذج العمل الأولي الكامل والثلث الأخير عند إتمام واكتمال المادة المنتجة . ستكون هناك أحداث هامة في المشروع — وتشتمل على التواريخ التي يجب أن تتمم فيها الأقسام المختلفة للمشروع . توجد في العقد المتعلق بالمشروع بعض المواد التي تتضمن فقرات عقوبات مرتبطة بتلك الأحداث الهامة التي ذكرناها آنفاً .

١٤ — ٣ — *التخطيط*

لايمكن البدء بأي مشروع بشكل فعلي بدون تخطيط . وتنحصر مهمة التخطيط في تحديد الفترة الزمنية التي ستستغرقها كل مرحلة في المشروع مع تحديد عدد العاملين المطلوبين لتلك المرحلة . على سبيل المثال ، إذا كان مشروع معين يشتمل على لوحتي دارات مطبوعة ، مستقلتين ، تستغرق كل واحدة ٢٠ أسبوع عمل (بمعدل رجل واحد يعمل لمدة ٢٠ × ٥ يوم) . فإن المشروع سيستغرق ٤٠ أسبوعاً للعمل . فإذا وجد شخصان للعمل في المشروع فإن المشروع سيستغرق ٢٠ أسبوعاً للعمل . واستناداً إلى عدد الأشخاص العاملين في الشركة (الموارد) وعدد المشاريع الجارية فإن واحداً من هذين سيكون أكثر طلباً من الآخر. فقد يكون من الأفضل أن يكون لديك شخص واحد يعمل لمدة ثلاثين أسبوعاً ورجلين لمدة خمسة أسابيع إلخ . إن عملية التخطيط ستوضح لك أفضل الطرق لتسلكها . لايمكن أن تكون عملية التخطيط صحيحة بشكل كلي — حيث توجد دائماً عوامل خارجية (مثل انقطاع بعض العاملين بسبب المرض ، إلخ) . إلا أنه يعتبر من الوسائل الدليلية التقريبية الجيدة جداً . بعد أن يكون أحدهم قد قام بإنجاز عدة مشاريع فإنه سيكون قد تكونت لديه خبرة حول معرفة الفترة التي ستستغرقها مثل هذه المشاريع .

خلال مشروع ما يتم دائماً تحديث الخطط الموضوعة بحيث تعكس أية انحرافات تتم عن المخطط الأصلي . وهذا يسمح للادارة بأن تخصص موارد أخرى للمشروع الذي يتجاوز الجدول الزمني المحدد له . إن إجراء الاجتماعات بمعدل مرة كل أسبوعين أو مرة في الشهر يمكن أن تستخدم لتحديث الخطط لكافة المشاريع التي تتعهدها شركة ما . توجد عدة طرق بيانية لبيان تقدم مشروع معين (مخططات PERT ، إلخ) إن هذه الطرق مع تفاصيل أخرى حول التخطيط يمكن أن نجدها في كثير من الكتب التي تبحث في هذا الموضوع . إن المخططات الأولية للمشروع سيتم رسمها قبل أن يتم توقيع العقد .

١٤ ـ ٤ ـ تصميم الدارة

كجزء من عملية إنتاج المواصفات التصميمية فإنه سسيتم إجراء نوع من التصميم الأولي . وهذا يعرف باسم المرحلة العملية . وبمجرد أن يتم توقيع العقد فإنه يتم البدء بالتصميم بشكل جدي . وفي العادة يتم تصميم المكون الصلب أو ما يعرف بالهاردوير من قبل شخص واحد، ويتم تصميم المكون اللين أو السوفتوير من قبل ناس آخرين، وهناك شخص آخر يعتني بالمشروع . إذا كان المشروع يشتمل على عدة لوحات دارات مطبوعة فإن هناك شخص يعتني بكل واحدة من اللوحات ذات الدارات المطبوعة . وفي هذا النوع من المشاريع يجب أن يتم تحضير اللوحة البينية الدقيقة بين كل لوحة دارات مطبوعة بالإضافة إلى تحديد مهام الدارة التي سيتم تنفيذها في المكون الصلب وتلك التي في المكون اللين .

تعتبر اللوحة البينية للمكون الصلب/والمكون اللين هامة جداً . سوف يقوم رئيس المشروع ومهندسو المكون الصلب والمكون اللين بالمناقشة بشكل دقيق حول كيفية تنفيذ التصميم .

وبعد أن يتم تحضير اللوحات البينية المختلفة فإن كل مهندس يذهب لتصميم الجزء الذي يخصه من المشروع . سيقوم مهندس المكون الصلب بتحضير مخططات الدارات مع مخططات التوقيت لعملية التدقيق والفحص . وسوف يقوم أيضاً بإعداد وصف

للدارة ، حيث أن هذا سيساعد على فهم مخططات الدارة .

سيقوم المهندس بحفظ سجل للبنود المتعلقة بالمشروع . وهذا من الأشياء الهامة التي يجب إعدادها . وسيشتمل هذا السجل على كافة القرارات المتعلقة بالمكون الصلب مع المناقشات غير الرسمية والمحادثات الهاتفية . إلخ . من المفيد جداً تأمين إمكانية الحصول على مثل هذا السجل بعد الحدث بستة أشهر للحصول على جواب كاف لسؤال معين . يجب أن نتذكر بأن المصمم سيكون مسؤولاً عن تصميمه حتى بعد إكتماله . عندما يكون المهندس سعيداً بجودة تصميمه وفعاليته ستجري مراجعة عامة للتصميم بعد ذلك . وهذا يشتمل على إشراك مهندس آخر في المكون الصلب ، ويكون في العادة غير مرتبط بالمشروع ، حيث يضع أمامه مخططات الدارة ومخططات التوقيت ووصف للدارة بالإضافة إلى أية معلومات أخرى لها صلة بالموضوع . سيقوم المهندس الثاني بمراجعة التصميم بالتفصيل مع التأكد من أن التصميم معقول مشيراً إلى أية أخطاء قد تكون موجودة . من المهم جداً وجود شخص آخر ، غير المصمم ليقوم بذلك — حيث أن المصمم سيجد صعوبة في تحديد أخطائه . وعندما يصبح المهندس الثاني راضياً ومقتنعاً بتصميمه فإن الدارة عندئذ سيتم تركيبها .

١٤ — ٥ — إنتاج النموذجي الأولي

إذا كان الوقت ذا أهمية وكان المهندس واثقاً جداً بتصميمه فإن الدارة عندئذ قد تتوجه مباشرة إلى لوحة الدارة المطبوعة بدون تركيب أو بناء نموذج أولي . وهذا يمكن أن يقصر دورة استمرارية المشروع بحوالي أربعة إلى ستة أسابيع ولكنه يمكن أن يكون مكلفاً من جهة الوقت والمال إذا كانت الدارة تحتاج إلى كثير من التعديلات . عادة يتم تركيب نموذج أولي واحد أولاً . توجد طرق عديدة لإجراء ذلك — اللف باللحام ، أو اللف بالأسلاك ، أو بالأسلاك السريعة ، إلخ . من هذه الطرق تفضل طريقة اللف باللحام ، والتي تتضمن لحام السلك على كل رجل وبذلك يتم تأمين عملية توصيل جيدة . إن المشكلة بالنسبة لكافة هذه الطرق تكمن بسهولة قطع السلك أو بإجراء توصيلات غير صحيحة .

وبمجرد أن يتم تركيب النموذج الأولي ، فإنه من المفيد أن يتم تجريبه وفق مخطط الدارة (أي التأكد من صحة كل توصيلة من التوصيلات) . وهذا العمل شاق إلا أنه يؤمن الثقة بصحة تركيب الدارة . من الفحوصات الأخرى التي يجب إجراؤها التأكد من توصيل 5V, OV + بشكل صحيح مع بعضهما ، وما إذا كانت جميع الدارات التكاملية متوضعة بشكل صحيح (جميعها باتجاه واحد) ، إلخ .

بعد إتمام هذه الفحوصات الأولية تصبح الدارة جاهزة لإزالة المشاكل والعلل . من النادر جداً أن تعمل دارة ما بشكل جيد مائة بالمائة للمرة الأولى ، حتى البسيطة منها . إن أول شيء يجب القيام به هو إجراء التشغيل (Switchon) بدون وجود أي دارة من الدارات التكاملية الباهظة التكاليف في موضعها ، والتأكد من منبع الإمداد بالقدرة يوصل الجهود الصحيحة والمناسبة إلى الدارة . بعد ذلك يجب التأكد من أن مخارج الدارات التكاملية الغالية الثمن لم تتم إدارتها من قبل أي جهاز آخر (يتم استخدام مرسمة تذبذبات أو اوسيلسكوب) مع التأكد من صحة توصيلات القدرة . بمجرد أن يتم التأكد من عدم احتراق أية دارة تكاملية باهظة الثمن فإنه يتم قطع التغذية ، ثم يتم إدخال الدارات التكاملية المتبقية ثم توصل التغذية مرة أخرى . هذا العمل يعتبر أيضاً شاقاً إلا أنه يمكن أن يوفر الوقت والمال . يجب أن يتم إجراء نفس الشيء على أي جهاز آخر باهظ التكاليف أو سريع العطب (مثل أجهزة المراقبة وأجهزة إدارة الأقراص العريضة) .

عندما يتم إنتهاء التجارب الأساسية فإن الدارة يمكن أن يتم اختبارها . توجد سلسلة كبيرة من أجهزة الاختبار المتوفرة ، يمكن استئجار العديد منها .

بعد أن يتم إزالة العلل من الدارة فإن مهندس المكون اللين (السوفتوير) سوف يرغب بأن يحصل على النموذج الأولي لاختبار المكون اللين . بعد ذلك يعمل مهندساً المكون الصلب والمكون اللين معاً لاختبار فعالية الجهاز بالكامل من الناحية الوظيفية (على المكون الصلب واللين) . وعندما يكون المهندسان سعيدين بعمل الجهاز كما ينبغي بالتعاون مع المهندسين الآخرين ومع رئيس المشروع . فإنه يتم عقد اجتماع

لإلقاء نظرة عامة على التصميم . يجب أن يشتمل الاجتماع على المهندسين الذين أنجزوا التصميم ، مع رئيس المشروع وشخص آخر من هيئة مراقبة الجودة (QA) وآخر من الشركة الصانعة ومهندس آخر (رئيس) الاجتماع) ، ويفضل أن يكون من نفس رتبة رئيس المشروع . إن كافة الوثائق الحديثة (مخططات الدارات ومخططات التوقيت ، إلخ) سيتم توزيعها قبل الاجتماع بحيث يتمكن كل شخص من الإطلاع عليها . وعند الاجتماع فإن المهندسين الذين قاموا بالتصميم سيتم طرح بعض الأسئلة عليهم بخصوص ذلك التصميم من قبل لجنة مراقبة الجودة وهيئة التصنيع والرئيس . إن فكرة هذا الاجتماع تكمن في التأكد من أن الدارة قد تم اختبارها بالكامل وأنه قد تم الالتزام بقواعد التصميم .

عندما يتم اقتناع الهيئة المسؤولة عن مراجعة التصميم عن النموذج الأولي فإن الطرف البائع يتم عرض النموذج الأولي عليه وسوف يقوم بالتصديق والموافقة عليه ومن ثم سيقوم بتسليم القسط الثاني من المال . الآن يمكن إنتقال النموذج الأولي إلى لوحة الدارات المطبوعة .

١٤ ـ ٦ ـ *إنتاج لوحة الدارات المطبوعة*

تنقسم هذه العملية إلى قسمين ــ مرحلة CAD ومرحلة تصنيع لوحة الدارات المطبوعة (PCB) . أما المرحلة CAD (التصميم المساعد من قبل الكومبيوتر) فإنها تشتمل على تناول مخططات الدارات ولائحة القطع وقيود التصميم ، وسوف يتم أخذ صورة للجهة الصانعة للوحة الدارات المطبوعة لتقوم بصناعة لوحات لدارات المطبوعة . تشتمل قيود التصميم على المعلومات التالية المتعلقة بلوحة الدارات المطبوعة :

الأبعاد الدقيقة للوحة الدارات المطبوعة .
المواضع الدقيقة لكافة فتحات التركيب .
التوضع الخاص بأجزاء الدارة .
قواعد التصميم (مثلاً كافة الدارات المطبوعة يجب أن يكون لها إتجاه واحد) .

أية أحرف على لوحة الدارات المطبوعة (على سبيل المثال Ben Bourdillon) .

يتم أخذه هذه المجموعة من المعلومات إلى شركة CAD حيث تقوم هذه الشركة بإصدار لائحة جديدة (تحتوي على كافة التوصيلات في الدارة) . سوف يقوم المهندس بتدقيق هذه اللائحة استناداً إلى مخططات الدارة ثم يقوم بإخبار الشركة CAD عن أية أخطاء . وبمجرد أن يصبح المهندس مقتنعاً بهذه اللائحة ، تقوم الشركة CAD بإنتاج المخطط المقترح الذي يتضمن موقع كل قطعة على لوحة الدارات المطبوعة . يتم وضع مخطط تحبير عن هذا التصميم ليتم إرساله إلى المهندس ليتم تدقيقه ومراجعته . يجب على المهندس أن يقوم بتدقيق هذا المخطط بشكل جيد لأنه من السهل إجراء التغييرات الآن ولكن ليس فيما بعد . أما بالنسبة للأشياء التي البحث عنها فهي مجموعة الدارات المشابهة (والتي يجب أن تكون قريبة) حيث يتم التأكد فيما إذا كان قد تم اتباع القيود المتعلقة بالتصميم (حيث أن ذلك لا يحدث دائماً) ، إلخ . سيقوم رئيس المشروع بتدقيق المخططات لتحديد أي شيء يمكن أن يكون قد تم نسيانه .

وبعد أن يتم تدقيق المخططات تبدأ شركة CAD بتوجيه التوصيلات على لوحة الدارات المطبوعة . ومرة أخرى يجب أن يتم اتباع التعليمات التصميمية التي وضعها المصمم . وبمجرد أن يتم تحديد عملية التوصيلات فإن المهندس سيحصل على مخططات هذا التحديد . وهذه المخططات تحتاج إلى تدقيق جيد لمعرفة ما إذا كان قد تم انتهاك قيود التصميم وما إذا كانت توجد أية أخطاء أخرى ، قد تكون ناتجة عن شركة CAD أو ناتجة عن خطأ المهندس . يجب على رئيس المشروع أن يدقق هذه المخططات أيضاً .

عندما تتم إجازة المخططات النهائية فإن شركة CAD تقوم بإصدار مجموعة من المخططات المصورة للشركة الصانعة للوحات الدارات المطبوعة . هذه المخططات المصورة هي :

الجانب ١ (طرف اللحام) بالنحاس .

الجانب ٢ (طرف القطعة) النحاسية .
الجانب ١ حجب اللحام .
الجانب ٢ حجب اللحام .
الجانب ١ حجاب حريري (اختياري) .
الجانب ٢ حجاب حريري .
شريط مثقب .

إن حجاب اللحام والنحاس يحددان جهة المسارات الممتدة على لوحة الدارات المطبوعة ، كما أن الحجاب الحريري يشتمل على أحرف عليه (مثل أرقام الـ IC ، إلخ) للمساعدة في تصنيع واختبار لوحة الدارات المطبوعة . الشريط المثقب يحتوي على كافة الثقوب الموجودة في لوحة الدارات المطبوعة . وهذا يمكن أن يتم على شريط مغناطيسي بالنسبة لآلة ثقب لوحات الدارات المطبوعة .

إن المخططات المصورة الآنفة هي من أجل لوحة الدارات المطبوعة المزدوجة الجوانب . توجد لوحات دارات مطبوعة ذات جانب واحد ولوحات دارات مطبوعة متعددة الطبقات قد تصل إلى ١٦ طبقة في الوقت الحالي . وبوجود ١٦ طبقة فإنه سيوجد ١٦ بقعة نحاسية و١٦ حجاب لحام ، ولكن بحجاب حريري واحد أو حجابين فقط وشريط مثقب واحد .

يجب أن يتم تدقيق هذه المخططات المصورة كضمانة أخيرة على أن لوحة الدارات المطبوعة ستكون صحيحة . وبمجرد أن يتم تدقيق هذه المخططات فإنه يتم إرسالها إلى الشركة الصانعة للوحة الدارات المطبوعة والتي ستقوم بدورها بأخذ نسخ عن هذه المخططات ثم تقوم بصناعة لوحات الدارات المطبوعة عن النسخ ثم تعيد المخططات المصورة الرئيسية ولوحات الدارات المطبوعة . بعد ذلك يمكن أن يتم اختبار لوحات الدارات المطبوعة كما هو بالنسبة للطراز أو النموذج الأولي . من المناسب أن يتم وضع فتحات كمآخذ في لوحة الدارات المطبوعة الأولى المراد اختبارها في حال احتراق أي واحدة من الدارات التكاملية (يصعب نزع لحام دارة تكاملية من لوحة دارات

مطبوعة بدون إلحاق الضرر بلوحة الدارات المطبوعة) بالإضافة إلى ذلك ، يجب أن يتم ترك واحدة من لوحات الدارات المطبوعة بدون تعميم (لوحة غارية) وذلك لكي يتم تتبع المسارات التي تصبح غير واضحة على لوحة الدارات المطبوعة التي هي تحت الاختبار .

عند هذه النقطة ، يمكن اختبار أي حالة ناتجة متعلقة بالمادة المنتجة من جهة الحجم .

ومرة أخرى ، من النادر جداً أن تكون لوحة الدارات المطبوعة الأولى هي الأخيرة ، طالما أنه من المستحيل تذكر كل شيء لإعلام الشركة CAD ، حيث أن الشركة CAD قد ترتكب بعض الأخطاء وقد يكون التصميم قد طرأ عليه شيء من التغيير أثناء وجود لوحة الدارات المطبوعة لدى الشركة CAD . ومن ثم قد يكون من الضروري تكرار أو إعادة لوحة الدارات المطبوعة مرتين أو ثلاث مرات . وكل مرة تستطيع الشركة CAD أن تتناول لوحة الدارات المطبوعة بشكلها السابق وتقوم بتعديله قليلاً (إذا لم تكن التغييرات كبيرة) . إن هذا يقلل من التكلفة ومن الوقت ويزيد في دقة المادة النهائية المنتجة .

الفترات التقريبية المحددة من قبل الشركة CAD :

أسبوع واحد للائحة الصافية

أسبوع واحد للمخططات التصميمية

٣ أسابيع للمخططات النهائية

يومان للمخططات المصورة

يمكن أن تتراوح فترة إنتاج لوحة الدارات المطبوعة بين يوم وعشرين يوماً بالنسبة للكميات الصغيرة .

١٤ ـ ٧ ـ خدمات ما بعد التصميم

بعد أن يصبح الطرف البائع راضياً عن المادة الناتجة فإنه سيقوم بتسليم الثلث

الأخير من المال بدوره من أجل لوحة الدارات المطبوعة الفعالة والمخططات المصورة ولائحة القطع ومخططات الدارات وأية وثائق أخرى لها علاقة بالموضوع . على أية حال ليست هذه هي نهاية القصة . فإن المتعهد يكون ملزماً من الناحية الأخلاقية والتعاقدية بتصحيح أي أخطاء متعلقة بالتصميم والتي قد تكتشف خلال فترة إختبار الطرف البائع أو في أي وقت آخر . وهكذا إذا حدث خلال سنتين ، إن عاد الطرف البائع وقال بأنه توجد مشكلة في التوقيت عند استخدام نوع معين من الدارات التكاملية بالنسبة لـ IC27 فإن ذلك يعود إلى المتعهد وذلك بالتأكد فيما إذا كانت هناك مشكلة حقيقية وإن كانت موجودة أن يبحث عن حل لها بشكل فعال وبأقل كلفة ممكنة . وهنا تكون السجلات المتعلقة بمثل هذه القطع ذات أهمية وفائدة بشكل فعلي — وخاصة إذا وجدت وثائق تتعلق بذلك الجزء من الدارة وكان هناك قرار متخذ بشأنه في ذلك السجل .

١٤ ـ ٨ ـ الخاتمة

إن هذا الفصل يجب أن يقدم للقارىء فكرة عن كيفية عمل مشروع ما . ولن تكون كافة الشركات تتبع نفس الأسلوب في إدارة المشاريع . فبعض الشركات تتميز ببيروقراطية أكثر من غيرها (وخاصة الشركات الكبيرة) والبعض الآخر تكون تلك الميزة عنده أقل (مثل الشركات الصغيرة جداً بدون خبرة تصميمية) .

الملحقات

الملحق A جداول التحويل إلى النظام العشري والثنائي والست عشري

Decimal	Binary	Hexadecimal
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F
16	1 0000	10
17	1 0001	11
18	1 0010	12
31	1 1111	1F
32	10 0000	20
255	1111 1111	FF
256	1 0000 0000	100
4095	1111 1111 1111	FFF
65535	1111 1111 1111 1111	FFFF

الملحق B ، قواعد نظام الجبر البولياني Boolean Algebra

١ — قوانين التبادل

$$A+B=B+A$$
$$A.B=B.A$$

٢ — قوانين جمع الحدود الجبرية

$$A+(B+C)=(A+B)+C$$
$$A.(B.C)=(A.B).C$$

٣ — قانون التوزيع

$$A.(B+C)=A.B+A.C$$

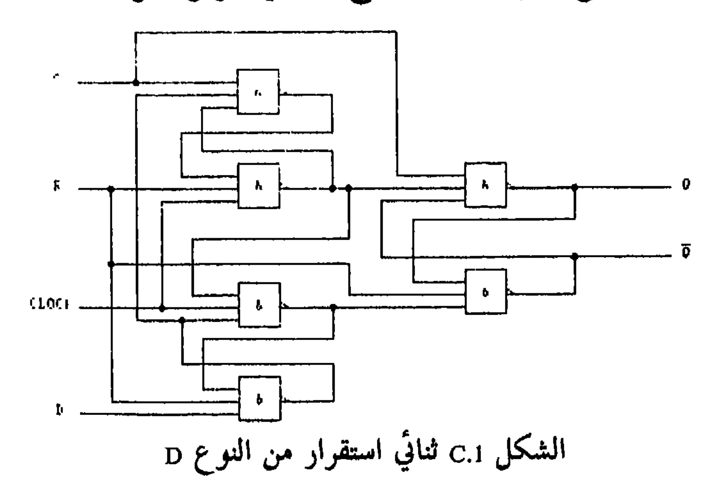
٤ — نظريات دي مورغان

$$\overline{A+B}=\overline{A}.\overline{B}$$
$$\overline{A.B}=\overline{A}+\overline{B}$$

٥ — أمور عامة

$$A+0=A$$
$$A.0=0$$
$$A+1=1$$
$$A.1=A$$
$$A+A=A$$
$$A.A=A$$
$$A+\overline{A}=1$$
$$A.\overline{A}=0$$

الملحق C كيفية صنع ثنائي استقرار نوع D عن طريق البوابات الأساسية



الشكل C.1 ثنائي استقرار من النوع D

الملحق D عرض للأسباب أو المبادىء الكامنة خلف الرموز الجديدة

١ ــ مقدمة

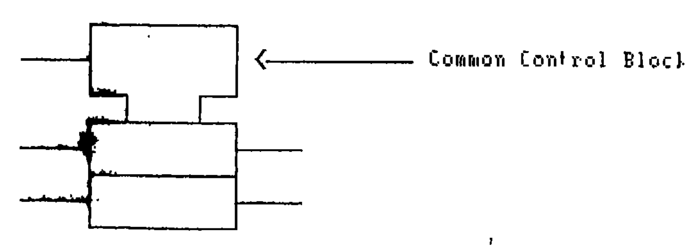
إن المجموعة التقليدية المعروفة من الرموز المستخدمة في مخططات الدارات لاتوضح كيفية تأثير المداخل على المخارج . ولإيجاد كيفية تأثير المداخل على المخارج فإنه من الضروري أن يتم الإطلاع على المجموعة المنطقية الداخلية . لقد قامت اللجنة الكهربائية الفنية الدولية بتطوير لغة رمزية توضح علاقة كل مدخل وتأثيره على المخرج . يستخدم في هذا النظام مجموعة رموز التبعية .

٢ ــ قواعد عامة

أ ــ خطوط المدخل تتجه إلى الطرف الأيسر للرمز وخطوط المخرج تخرج من الجانب الأيمن . في حال وجود حالة استثنائية فإن هناك سهماً سيحدد الجهة .

ب ــ تتجه خطوط المداخل المشتركة إلى مجموعة تحكم مشتركة كما هو مبين في الشكل D.1 .

جـ ــ إن الحالة المنطقية الداخلية ١ تتوافق مع إشارة فعالة (وصحيح بالنسبة للمجموعة المنطقية الموجبة والسالبة) .



الشكل D.1 مجموعة تحكم مشتركة

٣ ـ الرموز داخل وخارج الخط المحيطي

توضح هذه الفقرة بعض الرموز التي قد توجد داخل وخارج الخط المحيطي

مدخل منخفض فعال (0 الخارجية تعطي 1 داخلياً)

مخرج منخفض فعال (1 داخلي يعطي 0 خارجياً).

سريان الإشارة من اليمين إلى اليسار

سريان إشارة ثنائي الإتجاه

مدخل ساعي مرتفع فعال (1 داخلي نتج أثناء الطرف الصاعد للمدخل)

مخرج مجمع مفتوح

مخرج ثلاثي الحالات

مدخل معلومات

D مدخل تنفيذ (عند الـ 1 الداخلي عندما تكون كافة المخارج مشغلة،

EN وعندما يكون عند الـ O الداخلي فإن O/Ps للمجمع المفتوح تكون بوضعية off ، ويكون الـ O/Ps الثلاثية الحالات والـ O/Ps العادية تكون عند الـ 0 الداخلي) .

→ مدخل نقل أيمن

← مدخل نقل أيسر

\+ مدخل زيادة

\- مدخل نقصان

CT=0 يضبط CT على الصفر عندما يكون فعالاً

الشكل D.2 الرموز داخل وخارج الخط المحيطي

٤ ـ رموز التبعية

فيما يلي بعض القواعد المتعلقة برموز التبعية :

أ ـ أن المدخل أو المخرج اللذين يؤثران على المداخل أو المخارج الأخرى يجب أن

يكونا مميزين بحرف يمثل ا لعلاقة مع رقم تعريف مناسب .

ب — إن المداخل والمخارج المتأثرة بذلك المدخل أو المخرج يجب أن يكون لهما نفس الرقم .

جـ — في حال تأثر مدخل أو مخرج بأكثر من مدخل أو مخرج آخر فإن أرقام المدخل أو المخارج المتأثرة سيتم فصلها بواسطة فواصل في بطاقة تعريف المدخل أو المخرج المتأثر .

توجد عشرة أنواع أساسية من أحرف التبعية وهي :

AND	G
OR	V
XOR	N
توصيل مشترك	Z
للتحكم	C
ضبط	S
إعادة ضبط	R
(Enable) تنفيذ أو تشغيل	EN
Mode (طريقة)	M
عنوان	A

الأحرف الأربع الأولى من تلك المذكورة آنفاً نجدها مبينة في الشكل D.3 .

a	G1	4	e
b	V2	1,4	f
c	N3	2,4	g
d	Z4	3,4	h

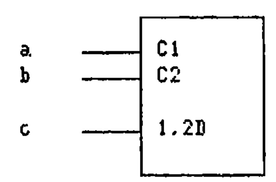
الشكل D.3 مثال يوضح AND, OR, XOR والتبعية

في الشكل 3 — D نجد أن المخرج e سيكون هو نفس المدخل d .
والمخرج f سيتأثر بالمدخل a ، إلخ .

ومن ثم فإن :

$$
\begin{aligned}
e &= d \\
f &= a.d \\
g &= b+d \\
h &= c \oplus d
\end{aligned}
$$

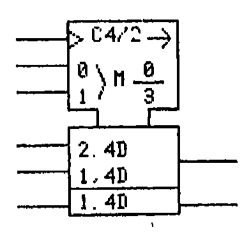
التحكم مبين في الشكل D.4 .



الشكل D.4 مثال لبيان التحكم

إن المعلومات عند C سيتم حجزها في حال كون كلاً من a وb فعالين .
تستخدم وضعيات الضبط (Set) وإعادة الضبط (Reset) كما هو بالنسبة للنطاطات .

التنفيذ أو التشغيل قد تم شرحه سابقاً .
الوضعية (Mode) مبينة في الشكل D.5



الشكل D.5 مثال لبيان الوضعية (Mode)

في الوضعيتين 0 و3 لا يحدث أي تغير . وفي الوضعية 1 إذا اشتغلت الساعة فإن e و f سيتم حجزهما .

في الوضعية 2 إذا اشتغلت الساعة فإن المعلومات سيتم نقلها إلى اليمين وسيتم إدخال المعلومات من d .

العنوان مبين في الشكل D.6 .

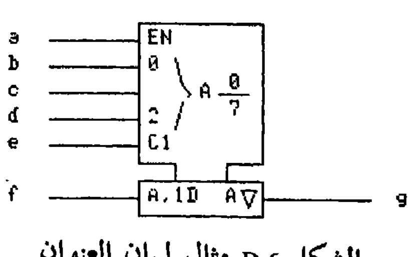
عندما تكون e فعالة فإن المعلومات عند f سيتم حجزها في واحد من ثمانية مواقع محددة بالأحرف c, b و d .

عندما تكون a فعالة فإن g سوف تخرج المعلومات المخزونة في الموقع المحدد بالأحرف b و c و d .

الملحق E القيم العيارية للمكثفات والمقاومات

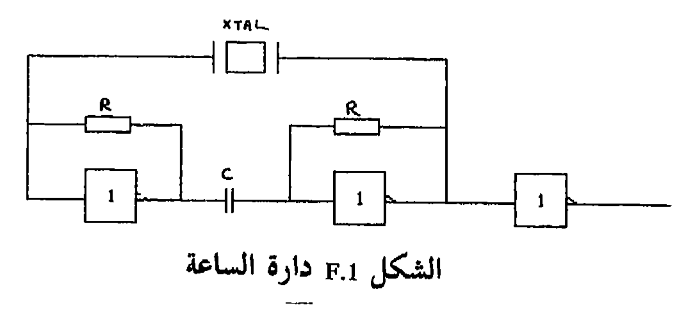
Resistor values	*Capacitor values*
1.0×10^x $(x = 0 \text{ to } 6)$	1.0×10^x $(x = -12 \text{ to } 0)$
1.2×10^x	1.5×10^x
1.5×10^x	1.8×10^x
1.8×10^x	2.2×10^x
2.2×10^x	3.3×10^x
2.7×10^x	4.7×10^x
3.3×10^x	6.8×10^x
3.9×10^x	8.0×10^x
4.7×10^x	
5.6×10^x	
6.8×10^x	
8.2×10^x	

ومن ثم فإن قيم المقاومات النموذجية هي **1M2, 33R, 22OR, 4K7, 1K8** . إلخ
وأما قيم المكثفات النموذجية فهي **0.1μF, 4.7nF, 22OOpF** ، إلخ .



الشكل D.6 مثال لبيان العنوان

الملحق F دارة مولد الساعة



الشكل F.1 دارة الساعة

تعتمد هذه الدارة على بوابتي NOT مزودة كل منهما بتغذية عكسية عن طريق مقاومة . تستخدم المقاومات لتوجيه البوابات NOT بحيث تصبح على حافة التحول من الوضعية المرتفعة إلى الوضعية المنخفضة والعكس بالعكس . تقوم البلورة بتنظيم السرعة التي عندها يتم السماح للبوابات NOT بالتحول ومن ثم تقوم بتحديد تردد إشارة الخرج . يستخدم المكثف لتصفية أية إشارات ذات تردد عال غير مرغوبة .

أما البوابة NOT الثالثة فإنها تستخدم لعزل دارة توجيه الساعة عن بقية الدارة .

إن الأنواع المختلفة من بوابة NOT (04, 'LS04, 'S04' إلخ) لها فلطيات إنحياز مختلفة ومن ثم يلزم استخدام قيم مقاومات مختلفة .

الفهرس

المحتويات رقم الصفحة

المحتويات	رقم الصفحة

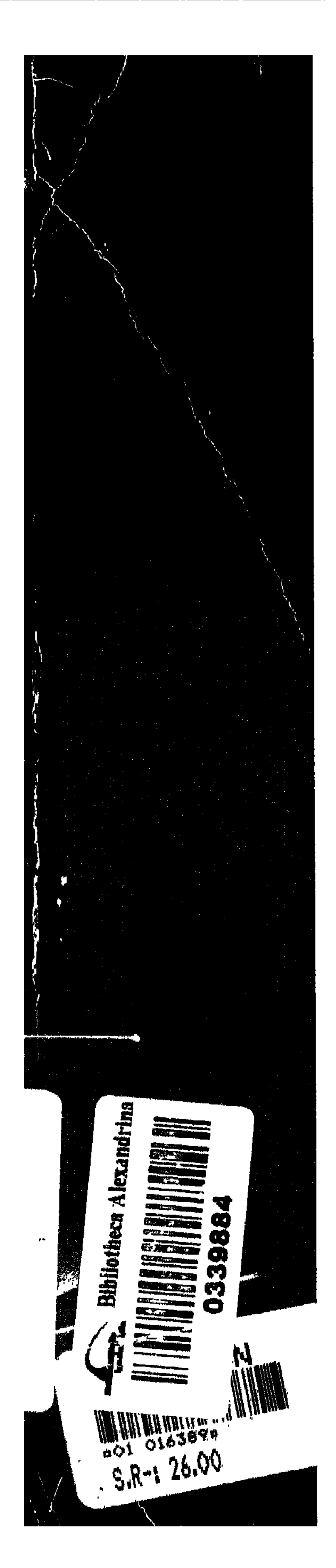
المحتويات	رقم الصفحة

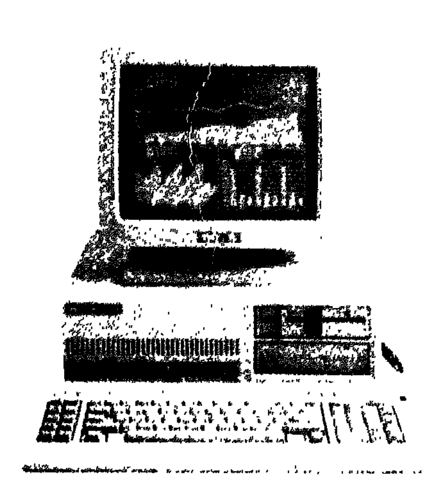
المحتويات | رقم الصفحة

المحتويات | رقم الصفحة

المحتويات **رقم الصفحة**




Bibliotheca Alexandrina
0339884




دار الكتاب العربي
دمشق - سورية